



令和3年6月1日

報道機関 各位

東北大学国際集積エレクトロニクス研究開発センター

1 桁ナノメートル世代の集積化技術での10年以上のデータ保持と1兆回に到達する書き換え耐性を有する低消費電力MRAM技術の開発に成功

～最先端Xnm半導体とスピントロニクス技術の融合による超低消費電力・高性能エッジデバイスでIoT・AI・耐環境応用領域拡大に道を拓く～

【発表のポイント】

- 新設計の4重界面の強磁性磁気トンネル接合素子(Quad-MTJ)において、18 nmの極微細接合加工後に10年以上のデータ保持特性と1兆回に到達する書き換え耐性を同時に達成できることを世界で初めて実証
- 新設計のQuad-MTJは、工業製品化されている従来の2重界面磁気トンネル接合素子(Double-MTJ)では困難であった1X nmでの1)10年以上のデータ保持特性を維持しながら、2)1兆回に到達する(6×10^{11} 回以上)の高速書込の耐久性と、3)10ナノ秒(ns)の高速書き込み動作と、4)2割の低消費電力動作を同時に実現することに成功
- 最先端1桁ナノメートル世代(X nm世代)の半導体プロセスデザインルールに1X nm Quad-MTJは適合しており、最先端X nm世代集積回路を用いた高性能エッジデバイスの実現に大きく前進

【概要】

次世代移動送通信システムに基づくネットワーク下でのIoT・AI等の利用拡大による社会のスマート化を加速させるためには、電源供給がより厳しい環境で使用するエッジデバイスの高性能化が必須であり、低消費電力技術としてSTT-MRAM技術のロジックへの展開が進められています。東北大学国際集積エレクトロニクス研究開発センター長の遠藤哲郎教授※のグループは、3つの新技術を取り入れた新設計の4重界面磁気トンネル接合素子(Quad-MTJ)を開発し、18 nmの微小な接合直径のQuad-MTJ素子において、保持特性と高速での書き換え耐性を世界で初めて実証することに成功しました。そして、工業製品化されている従来の2重界面磁気トンネル接合素子(Double-MTJ)では困難であった1X nm世代において1)10年以上のデータ保持特性を維持しながら、2)1兆回に到達する(6×10^{11} 回以上)高書き込み耐性、3)10ナノ秒(ns)の高速書き込み動作と、4)2割の低消費電力動作と、5)低書き込みエラー率を、新設計のQuad-MTJ素子は同時に達成しました。

今回、性能を実証した1X nmのQuad-MTJはX nm世代での最先端の半導体プロセスのデザインルールに適合しています。これにより、STT-MRAMの適用範囲が最先端半導体微細加工領域にまで拡大することから、IoTやAI等の幅広い分野でのエッジデバイス等のアプリケーションプロセッサにおける低消費電力・高性能化が図られ、カーボンニュートラルへ大きく貢献します。本成果は、2021年6月13日～19日の期間開催される、半導体超大规模集積回路に関する国際会議である「2021 Symposia on VLSI Technology and Circuits」で発表されます。

※以下の職を兼務：東北大学大学院工学研究科教授、電気通信研究所教授、先端スピントロニクス研究センター(世界トップレベル研究拠点)副センター長、スピントロニクス学術連携研究教育センター領域長

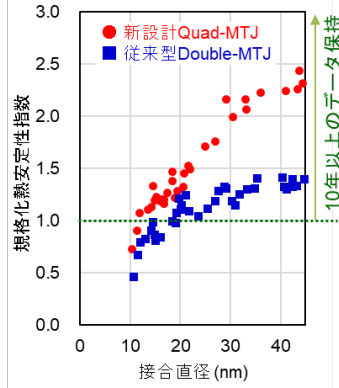
新設計Quad-MTJの革新的3つの技術



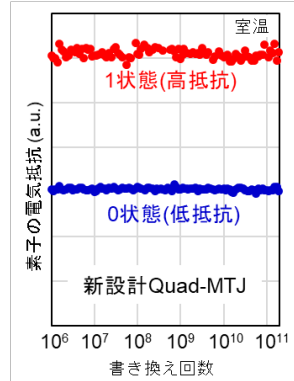
4重界面に加えて3つの新しい技術

- ① 新低RA技術：書き換え耐久性の向上
- ② 新記録材料：低消費電力と書き換え耐久性の向上
- ③ 新構造参照層：1Xnm以降での磁氣的安定の向上

接合直径とデータ保持特性



書き換え耐久性性能



【問い合わせ先】

◆研究内容及びセンターの活動に関して

東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL：022-796-3410

◆その他の事項について

東北大学国際集積エレクトロニクス研究開発センター
支援室長 高橋嘉典 TEL：022-796-3410 FAX：022-796-3432
E-mail：support-office@cies.tohoku.ac.jp

【詳細な説明】

【背景】

半導体集積回路の進展に伴い、移動通信システムを通じ多くの端末機器が高速でインターネットにつながり、機器自身が知能化して認識、予知、判断を行うIoT (Internet of Things) 時代となっています。そのための重要な技術の一つとして人工知能 (AI: Artificial Intelligence) があります。深層ニューラルネットワーク (DNN: Deep Neural Network) を用いたAIはクラウド側での処理に加えて、最近では電力供給条件の厳しいITや車載などのエッジデバイスへの実装範囲が拡大しています。AI演算は大量の積和演算を計算することから、計算機のメモリだけでなく半導体ロジックまで低消費電力化の技術を拡大することが必要となります。これまで、CMOS技術と磁石の性質を用いた不揮発性メモリである磁気トンネル接合素子 (MTJ(注1)) を融合させたMTJ/CMOS Hybrid技術に立脚した不揮発性メモリ (STT-MRAM等) や不揮発性ロジックの研究・開発・量産が盛んに行われています。不揮発性メモリでも不揮発性ロジックでも、情報の記憶を担うのは、磁石の性質 (スピン) で、情報の読み出しは磁石の磁化方向に依存して変化する抵抗変化、つまり電氣的な性質 (エレクトロニクス) が利用されます。このように電子のもつ電荷の性質と磁石の性質の両方を積極的に活用する技術のことをスピントロニクス (注2) と呼び、磁石の不揮発性を利用することによりメモリおよびロジックの待機電力 (注3) を大幅に削減できるため、スピントロニクス技術は低消費電力の革新的技術であります。以上のような背景により、大手半導体ファブリーメーカーにおいて22/28nm半導体プロセスノードでのSTT-MRAMを搭載したロジックの量産生産が行われており、14/16nm半導体プロセスノードでのSTT-MRAMを搭載したロジックの量産に向けた開発も進んでいます。一方、スマートフォン等のプロセッサは5nmのロジック半導体のプロセスノードで量産されており、3nmノードのプロセス開発が大手半導体ファブリーメーカーで進められていますが、この1桁nm (X nm) 世代 (注4) に対応したSTT-MRAMは未だ開発がなされていない状況です。

そのため、最先端半導体微細加工世代にスピントロニクス技術を融合するためには、5nmノード以降のX nm世代の半導体プロセスのデザインルールにSTT-MRAMのMTJ素子を適合させることが必要です。従って、Xnm世代の最先端の半導体プロセスに対応した1X nm世代のSTT-MRAMのスケーリングを実証することが求められています。1X nm世代のSTT-MRAMが実証できれば、IoT/AI/耐環境システムのアプリケーションプロセッサ向けのキャッシュメモリであるSRAM (注5) などを代替すると共に、将来的にはDRAMを置き換える大容量STT-MRAMを実現し、本技術の市場を拡大していくことで、STT-MRAMの不揮発性を活用した低消費電力性能によりカーボンニュートラルへの貢献していくことができるようになります。

【研究経緯と技術課題】

このような社会的要請を受けて、東北大学では以下に示す研究開発成果を上げてきました。

大野英男教授 (現 東北大学総長) と池田准教授 (現 東北大学国際集積エレクトロニクス研究開発センター (CIES) 教授) のグループは、界面垂直磁気異方性 (i-PMA (注6)) 型MTJ (以下、単にMTJ) を発明することにより、接合直径が40 nmのMTJを動作させることに、2010年に世界で初めて成功しました。このMTJ素子のデータ保持時間は、CoFeB (磁石層) とMgO (障壁層) との界面に生じるi-PMAとよばれる物理現象を利用しています。しかし、一つの界面を活用したMTJでは、十分なデータ保持特性を実現できなかったために、更に大きなi-PMAが必要でした。

そこで、大野英男教授と遠藤教授のグループは、CoFeB (磁石層) とMgO (障壁層) とのi-PMA

を2つ有するDouble-MTJを、2014年に世界に先駆けて開発すると共に、Double-MTJのCMOS集積回路との集積化を可能にする材料からプロセス・デバイス技術の開発を推進し、300 nmプロセスにてDouble-MTJを活用したSTT-MRAMや不揮発性マイコン/MCU等の試作・動作実証を世界に先駆けて成功してきました。しかし、Double-MTJにおいても、MTJの接合直径小さくすると十分なデータ保持特性（熱安定性）が得られないスケーリングの課題があります。さらに、Double-MTJの性能限界を避けて活用するために、SRAM代替の埋め込みMRAM用MTJでは高速動作のとき、IoT/AIシステムでのアプリケーションプロセッサの設計で様々な制約が生じ、回路・システムの設計に大きな負担が生じ、最先端のX nm世代の半導体集積回路との適合性能を満たすことができませんでした。

そこで、データ保持特性を向上させるために、CoFeB(磁石層)とMgO(障壁層)とのi-PMAを4つ有する構造の四重界面構造のQuad-MTJを開発して[図1]、Quad-MTJの研究開発からCMOS集積回路との集積化技術の研究開発までを統合的に推進し、2019年に、世界初となるQuad-MTJの動作実証を300 nmプロセスにて達成しました。そして、Quad-MTJの特徴である4つのCoFeB(磁石層)とMgO(障壁層)との界面を有する構造により、既存のDouble-MTJのデータ保持特性を約2倍に向上させ、接合直径が33 nmまで、データ保持特性、高速書き換え耐性、低消費電力化などの不揮発性メモリに必要な仕様を同時に達成できることを実証し、自動車などの高温環境でのMTJ素子の利用拡大が可能になる道筋を示してきました。

さらに、最先端のX nm世代の半導体集積回路とMRAMを融合するためには、配線層に形成するMTJの接合直径を1X nmまで微小化する必要がありますが、微小化に伴い、データ保持特性および高速書込の耐久性/回数にはジレンマが顕在化し、さらなるMTJ素子の高性能化のための技術革新が求められています。

【研究手法と成果】

今回、CIESの遠藤哲郎教授らのグループでは、新設計のQuad-MTJを開発し(図1)、STT-MRAMとして両立が困難なデータ保持特性と書き換え耐性能のジレンマを解決致しました。しかも、特筆すべきは、18 nmの接合直径において、(a)10年間のデータ保持特性と、(b)10¹¹回以上の書込み耐性と、(c)10ナノ秒(ns)の高速書き込み動作、(d)約2割の低消費電力化を同時に世界ではじめて実証し、最先端のX nmの半導体ロジックのデザインルールに適合させることに世界ではじめて成功しました。これにより、従来のDouble-MTJや旧設計のQuad-MTJ素子では実現困難であったX nmノード以降の最先端半導体集積回路と大容量STT-MRAMを融合したアプリケーションプロセッサの実現に向け道を拓くことができます。

解決ができた革新的技術は3つあります。新設計のQuad-MTJは、4つの界面におけるi-PMAの増大に加えて、①新しく低RAのMgOバリア層の製造プロセス技術を独自開発し、②記録層に低磁気摩擦定数の新材料を導入し、③1Xnm以降での磁氣的安定を向上した新構造参照層を開発したことにより大幅にスケーリング性能を改善しました。この3つの新しい技術革新により、Quad-MTJが有する「4つの磁石層とMgO障壁層との界面によりデータ保持特性が強化されると、書き込み電流が増加して動作電力の増加および書き換え耐性が劣化する」というジレンマを、以下の図3のデータに示すように、18 nmという1X nm世代の微小接合直径において解決することができました。

本成果は、STT-MRAMの市場拡大を阻害している課題であるデータ保持特性 vs. 書き換え耐性のジレンマと共に、書き込み速度 vs. 低消費電力動作を同時に1X nmのQuad-MTJで解

決し、最先端のX nm世代の半導体集積回路のデザインルールに適合できたことを示す重要な成果であります。

【研究成果の意義】

CIESの遠藤哲郎教授らのグループは、世界で初めて、最先端の半導体デザインルール(X nm世代)に適合した1X nmのQuad-MTJ素子を新設計の技術により開発し、高いデータ保持特性・高い書き換え耐性・高速動作動作・低消費電力動作を同時に実証することに世界で初めて成功しました。

この成果は従来のMTJにおける「データ保持特性のために、書き込み速度を遅くしたり、書き換え耐性に制限をつけたりする。」「高速動作のために、データ保持特性等の信頼性スペックを緩和する」等のアプリケーションプロセッサやシステムデザインへの負担を大幅に軽減し、X nm世代の最先端半導体と大容量STT-MRAMを融合したアプリケーションプロセッサの実現に向け道を拓く、意義ある成果となります。加えて、高い信頼性性能を活用して自動車や産業用ロボットなどの耐環境応用への道も拓くという意義があります。

これにより、アプリケーションプロセッサの設計コンセプトを一変し、その結果、MRAM技術を融合したアプリケーションプロセッサの応用領域が、画像処理やAIシステムなどのハイエンド応用から、IoTやセンサネットワークシステムなどのローエンド応用に至る領域において、低諸費電力化と高性能化が進んでいくことが期待されます。

以上の成果は、2021年6月13日～19日の間、開催される半導体超大規模集積回路に関する国際会議である「2021 VLSI シンポジウム(2021 Symposia on VLSI Technology and Circuits)」で発表(6月18日8:40-10:00(日本時間))されます。

本成果は、JST産学共創プラットフォーム共同研究推進プログラム(OPERA)「世界の知を呼び込むIT・輸送システム融合型エレクトロニクス技術の創出」並びに東北大学国際集積エレクトロニクス研究開発センターにおいて推進している CIES コ ンソーシアム事業の支援を受けて得られたものです。

【用語説明】

(注1) 磁気トンネル接合(MTJ)素子

MTJとはナノメートルスケールの薄い絶縁層を二つの強磁性層で挟んだ3層構造を基本として、磁化方向が反転しやすい記録層と反転しにくい参照層を有し、素子抵抗は記録層と参照層の磁化の相対角度によって決まり(トンネル磁気抵抗(TMR)効果)ます。二つの磁化方向が平行のときに素子抵抗は最小値となり、反平行のときに最大値となり、情報を記録します。磁化方向は安定のため不揮発性メモリとしてMTJ素子是用いられております。

(注2) スピントロニクス

これまで別々に用いられてきた電子が有する電氣的性質(電荷)と磁氣的な性質(スピン)の両方を積極的に用いることで、新しい物理現象の発見や新しい機能性デバイスの実現を目指す学術分野であります。MTJ素子(注2)はスピントロニクス分野が生み出した革新的技術であります。

(注3) 待機電力

集積回路が動作していないときにも消費してしまう電力のことを指します。トランジスタの微細化に伴うリーク電流の増大により、主に揮発性メモリ部分で増加しています。

(注4) X nm世代

ナノメートルは1万分の1ミリメートル。最先端の半導体ロジックのデザインルールはX nm世代の研究・開発が行われている。MTJが半導体ロジックに適合するためには、MTJの接合直径が1X nmの研究・開発が必要であると考えられている。

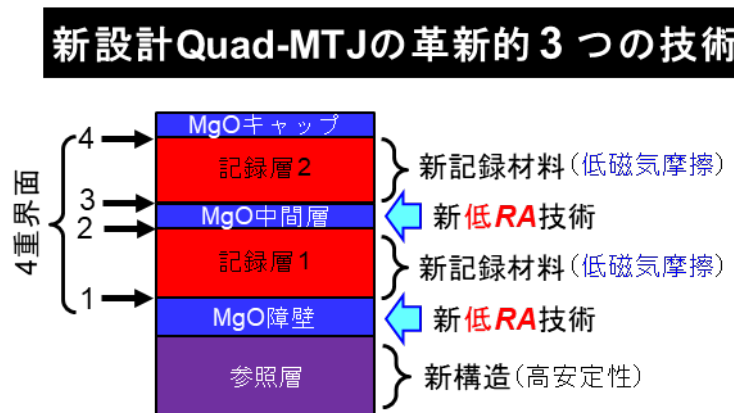
(注6) SRAM

Static Random Access Memoryの略。半導体メモリ的一种で複数のトランジスタを内部構造に持ち、フリップフロップ等の順序回路でデータを記憶する素子。メモリの面積は大きい、高速(～10 ns以下)での読み出し、書込みが可能であり、電力の供給時には記憶データは保持されるが、電力供給がなくなると記憶内容が失われる揮発性メモリ。

(注6) i-PMA

Interfacial Perpendicular Magnetic Anisotropyの略。酸化マグネシウム層と直接接触する磁石層において生じる磁気異方性。磁石の方向を、積層界面に対して垂直方向に向ける働きがある。東北大学の同グループのメンバーによって2010年に発表された。¹⁾ 本効果を用いた2重界面STT-MRAM素子は、²⁾ 全世界的に研究開発が展開されており、企業による実用化の発表も行われています。参考文献：1) S. Ikeda *et al.*, Nature Mater. 9, 721 (2010)、2) H. Sato *et al.*, Appl. Phys. Lett. **105**, 062403 (2014)を参照のこと。

【参考図】



4重界面に加えて3つの新しい技術

- ① 新低RA技術：書き換え耐久性の向上
- ② 新記録材料：低消費電力と書き換え耐久性の向上
- ③ 新構造参照層：1Xnm以降での磁氣的安定性の向上

図1：本研究で開発した新設計のQuad-MTJ素子構造の3つの革新的技術。4重界面に加えて、①新低ダメージ技術により低いRAのMgO障壁層、②磁石(記録層1と記録層2)に磁気摩擦定数の小さい新材料、③1X nm世代以降での磁氣的安定性を補償する新参照層を用いました。この3つの技術により、低消費電力化および高速の書き換え耐久性を向上させました。

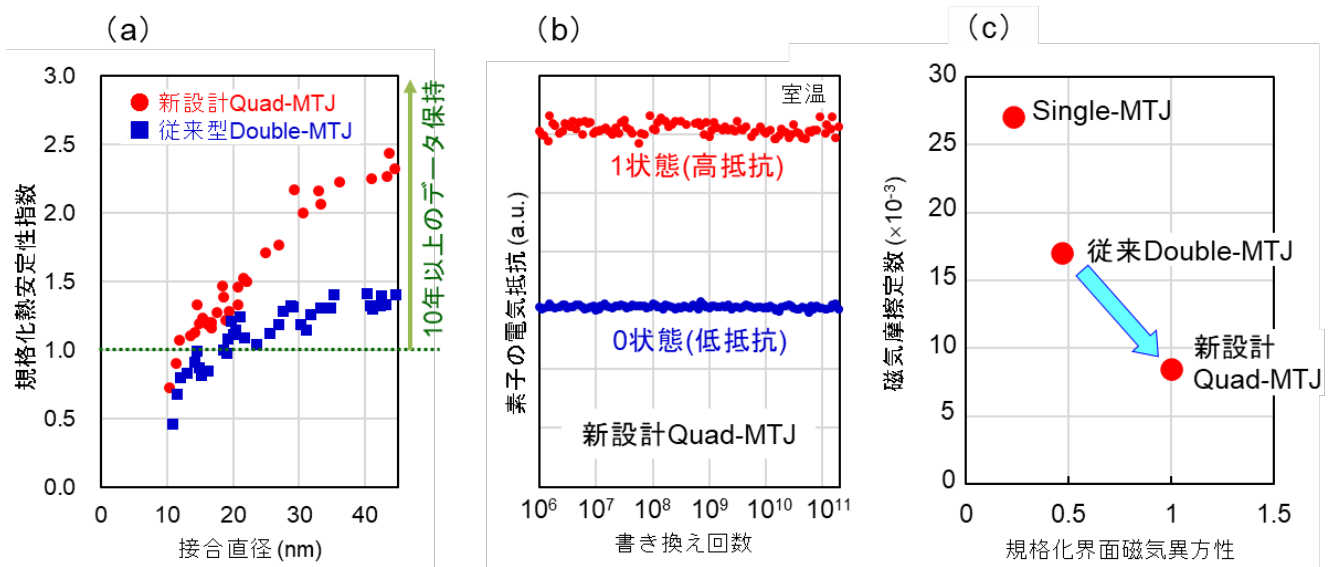


図 2 : (a)本研究で開発した新設計の4重界面MTJ素子と従来2重界面MTJ素子における熱安定性指数 Δ (データ保持時間を決定するデバイス特性値)の比較。(b)新設計の4重界面MTJ素子と2重界面MTJ素子の書き換え回数。新技術の高い書き換え耐性により10¹¹以上の書き換え回数を達成することに成功した。(c)記録層1,2に用いた新強磁性材料の磁気摩擦定数。Single、Double、Quadの順番に磁気摩擦定数は低下しており、低消費電力化および高い書き換え耐性を実現している。

【論文情報】

Title	“Advanced 18 nm Quad-MTJ technology overcomes dilemma of Retention and Endurance under Scaling beyond 2X nm”
Authors	H. Naganuma , S. Miura, H. Honjo, K. Nishioka, T. Watanabe, T. Nasuno, H. Inoue, T. V. A. Nguyen, Y. Endo, Y. Noguchi, M. Yasuhira, S. Ikeda, and T. Endoh
Conference	2021Symposia on VLSI Technology and Circuits
DOI	国際会議なので DOI 無し