



ADVANTEST



平成 30 年 10 月 31 日

報道機関 各位

東北大学 国際集積エレクトロニクス研究開発センター
株式会社アドバンテスト

メモリ・テスト・システムによる、 磁気ランダム・アクセス・メモリ (STT-MRAM) の スイッチング電流測定技術を確立

アドバンテストとの共同研究、STT-MRAM の不良解析と実用化に大きく前進

【概要】

指定国立大学法人東北大学国際集積エレクトロニクス研究開発センターの遠藤哲郎センター長（兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター（世界トップレベル研究拠点）副拠点長、省エネルギー・スピントロニクス集積化システムセンター長、スピントロニクス学術連携研究教育センター 部門長）のグループは、CIES コンソーシアムでの産学共同研究並びに、科学技術振興機構 産学共創プラットフォーム共同研究推進プログラム（領域統括：遠藤哲郎）において、株式会社アドバンテスト（代表取締役 兼 執行役員社長：吉田 芳明 本社：東京都千代田区丸の内1丁目6番2号 以下、アドバンテスト）と共同で、次世代メモリとして期待される「スピン注入型磁気ランダム・アクセス・メモリ (STT-MRAM)」のメモリ・アレイ内のスイッチング電流を高精度かつ高速に測定する電流測定モジュールを開発し、アドバンテスト社製のメモリ・テスト・システムを用いてマイクロアンペア単位かつナノ秒単位で測定する実証実験に成功しました。

今回の実証実験の成功は、本学国際集積エレクトロニクス研究開発センター（略称 CIES）が推進する CIES コンソーシアム並びに、東北大学が幹事機関を務め、東北大学・京都大学・山形大学と先進的企業群の力を結集して、産学共創プラットフォームの形成を目指す OPERA における開発体制によるものです。

以上の成果は、2018 年 10 月 22 日～24 日に仙台で開催された国際学会「米国電気電子学会（※1） 不揮発性メモリ技術シンポジウム（IEEE Non-Volatile Memory Technology Symposium）」で発表しました。

【問い合わせ先】

- ◆研究内容及びセンターに活動に関して
東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL：022-796-3410
- ◆その他の事項について
東北大学国際集積エレクトロニクス研究開発センター内
OPERA 支援室長 山川佳之 TEL：022-796-3405
E-mail:opera-shien@grp.tohoku.ac.jp

【背景】

パーソナルコンピューターなどに代表される現代の情報通信機器では、情報の記憶を担うメモリが数多く使用されています。コンピューター中に用いられるメモリは、動作速度と容量により形成されるピラミッド構造で階層化されていることが良く知られています。ピラミッドの頂点に近づくほど容量は小さくなりますが、動作速度は速くなります。一方で、ピラミッドの裾野に近づくほど動作速度は遅くなりますが、容量が大きくなります。これまでピラミッドの中心領域から頂点付近までは、半導体ベースの揮発性メモリ(※2)が使用されてきました。これらの半導体メモリは、半導体技術世代の進歩に伴い、容量・速度共に増加の一途をたどってきましたが、最近になりその進歩が鈍化してきています。その原因の一つは、電源を切っても消費される待機電力の増加にあります。これは、前記の半導体メモリが揮発性であることに加え、半導体技術世代の進歩に伴いリーク電流が増加したことに因るものです。この問題を解決するために、現在、磁石の性質を用いた不揮発性メモリの研究・開発が盛んに行われています。情報の記憶を担うのは、磁石の性質(スピン)で、情報の読み出しは磁石の磁化方向に依存して変化する抵抗変化、つまり電気的な性質(エレクトロニクス)が利用されます。このように電子が持つ電荷の性質と磁石の性質の両方を利用した技術のことをスピントロニクスと呼びます。スピントロニクス技術を用いた代表的なデバイスは、磁気トンネル接合(※3)です。磁気トンネル接合をアレイ化して、半導体ベースのメモリでも用いられてきた CMOS 技術と融合させることで磁気ランダムアクセスメモリ(STT-MRAM)が実現されると期待されています。STT-MRAM では、情報を磁石の性質を使って記憶しますので、不揮発性を有します。また、他の不揮発性メモリでは実現が難しいと言われている高速動作・低電圧動作・高書き換え耐性特性を全て有します。現在、世界中の研究機関や企業で研究開発が行われており、大手半導体ファブ会社で2018年の実用化を目指すことをアナウンスしております。

【研究課題】

STT-MRAM は、これまで用いられてきた半導体メモリと同様に最終的にメモリとしての性能を評価していく必要があります。そのためには、メモリ・テスト・システムと呼ばれる評価装置を用いてメモリの性能評価を行う必要があります。しかし、電気的特性と時期的特性を同時に活用する原理に起因する STT-MRAM 固有の不良モードの検知ができると共に、従来の半導体メモリでは求められなかった高速動作かつ不揮発性という新しい測定性能を有する STT-MRAM 向けの新しい測定技術とメモリ・テスト・システムの開発が望まれています。

特に STT-MRAM の開発および量産には、メモリ・テスト・システムによる高効率かつ高精度な性能評価が不可欠です。しかし、STT-MRAM の記憶素子のスイッチングは、熱エネルギーによる揺らぎの影響を受けた確率的な現象であることに加えて、そのスイッチングに要する電流が 100 マイクロアンペア以下と非常に小さく、かつナノ秒単位の短時間にしか流れません。そのため、計測器を用いて磁気トンネル接合1つのスイッチングの測定はできても、メモリ・アレイ内のメモリセル上でスイッチングの測定を行うことは困難でした。

【研究経緯】

東北大学国際集積エレクトロニクス研究開発センター 遠藤哲郎センター長(兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター(世界トップレベル研究拠点))のグループでは、CIES コンソーシアムでの産学共同研究並びに、科学技術振興機構 OPERA「IT・輸送システム産学共創コンソーシアム」にて、スピントロニクス集積回路の高効率、高精度特性評価手法の確立を目指して、STT-MRAM のメモリ性能を評価するメモリ・

テスト・システムの高度化を進めております。国際集積エレクトロニクス研究開発センターとアドバンテストは、これまで CIES コンソーシアムで推進している CIES 産学共同研究プロジェクト「不揮発性ワーキングメモリを目指した STT-MRAM とその製造技術の研究開発」プログラムにおいて、STT-MRAM の性能評価に特化したメモリ・テスト・システムの開発に取り組んで参りました。

【研究手法と成果】

今回、CIES はアドバンテスト社と共同で、高精度かつ高速に測定する電流測定モジュールを開発し、アドバンテスト社製メモリ・テスト・システム (図 1) を用いて、STT-MRAM のスイッチング動作時の微小な電流値変化 ($I_{Rap} \rightarrow I_{Rp}$) と、スイッチング試行ごとのナノ秒単位の電流遷移時間を測定する実験に成功しました (図 2)。実験では、産業界で標準的に使用されている直径 300mm の Si ウェハ上に試作した、1つの MTJ と 1つのトランジスタで構成されるメモリセルによる STT-MRAM テストチップを用いてウェハ全面で測定を行いました。今回の成功により、STT-MRAM の高効率かつ高精度な不良解析が可能となりました。この解析技術を用いることで、STT-MRAM の歩留まり率の向上、引いては STT-MRAM の実用化へとつながります。また、当技術は STT-MRAM だけでなく、他の抵抗変化型メモリである ReRAM や PCRAM においても有効な技術です。



図 1 : STT-MRAM の評価に用いたメモリ・テスト・システム (T5385ES) と試験環境

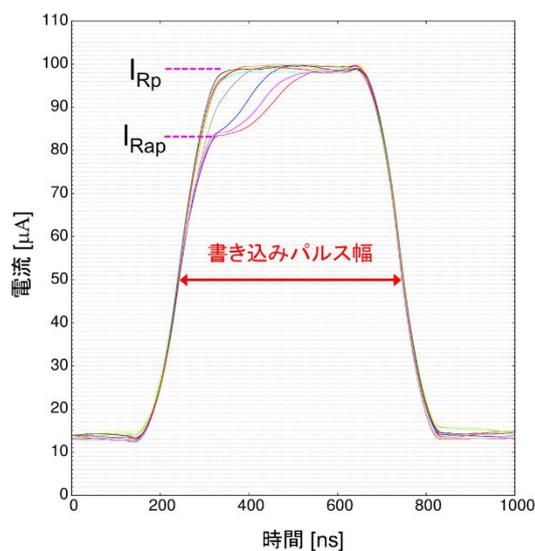


図 2 : STT-MRAM のスイッチング電流測定例。スイッチング時の電流遷移時間

(電流値 I_{Rap} から I_{Rp} に遷移するまでに要する、図の横軸の長さ) が試行ごとに変化している。このマイクロアンペア単位・ナノ秒単位のわずかな差をメモリ・テスト・システムで測定可能にした。

【研究成果の意義】

CIES とアドバンテスト社は、CIES コンソーシアムで推進している CIES 産学共同研究プロジェクト「不揮発ワーキングメモリを目指した STT-MRAM とその製造技術の研究開発」プログラムと OPERA プロジェクトにて引き続き STT-MRAM 用メモリ・テスト・システムの高度化技術の研究開発を継続し、将来の STT-MRAM の量産に不可欠な STT-MRAM に特化したメモリ・テスト・システムの製品化を目指して参ります。本研究で行った実証実験は、今後の量産向けメモリ・テスト・システムの開発の礎となる成果となります。量産対応の高精度・高速メモリ・テスト・システムが開発されれば、STT-MRAM の開発効率が格段に向上すると共に、STT-MRAM の量産ビジネスにも貢献できるものと期待されます。

このたびの成果は、本学国際集積エレクトロニクス研究開発センターが推進する CIES コンソーシアム並びに、東北大学が幹事機関を務め、東北大学・京都大学・山形大学と先進的企業群の力を結集して、産学共創プラットフォームの形成を目指す OPERA における開発体制により得られたものです。

以上の成果は、2018 年 10 月 22 日～24 日に仙台で開催された国際学会「米国電気電子学会 不揮発性メモリ技術シンポジウム (IEEE Non-Volatile Memory Technology Symposium)」で発表しました。

【用語説明】

(※1) 米国電気電子学会

The Institute of Electrical and Electronics Engineers, Inc. 通称 IEEE (アイ・トリプル・イー)。米国に本拠を置く世界最大の電気・電子技術に関する学会組織。

(※2) 半導体ベースの揮発性メモリ

電子の持つ電氣的性質(電荷)を利用した情報を一時的に記憶するメモリ。大容量のメインメモリに主に使われている DRAM と高速動作が要求されるキャッシュメモリに用いられる SRAM がある。

(※3) 磁気トンネル接合

二つの磁性体の層、すなわち磁性層(magnetic layer)の間に非常に薄い絶縁層を挟んだ構造で、スピントロニクスデバイスに用いる構造の一つである。