



東北大学

Empowered by Innovation

NEC

平成24年6月11日

報道機関 各位

国立大学法人 東北大学
日本電気株式会社

待機電力ゼロのロジック混載用高速高集積不揮発性メモリの 動作実証に世界で初めて成功

【概要】

国立大学法人東北大学（総長：里見進/以下、東北大学）省エネルギー・スピントロニクス集積化システムセンター及び大学院工学研究科の遠藤哲郎教授と東北大学省エネルギー・スピントロニクス集積化システムセンター及び電気通信研究所の大野英男教授のグループは、日本電気株式会社（以下、NEC）との産学連携研究により、スピントロニクス技術であるスピン注入磁化反転型磁気トンネル接合（Magnetic Tunnel Junction; MTJ）デバイス^{（注1）}とシリコン技術を組み合わせ、ロジック混載用の1M（メガ）ビット不揮発性メモリを開発しました。本メモリは、標準シリコンCMOS回路上に東北大学で開発したMTJ試作技術を用いて、300mmウェハー上に試作したCMOS回路上に微細スピントロニクスデバイス部分を作製^{（注2）}し、原理動作実証に成功したものです。このメモリは4個のトランジスタと2個のMTJから構成される回路（メモリセル）に1ビットの情報を記憶させ、待機時にはデータを不揮発性素子のMTJにセーブして、全てのメモリセルの電源を落とすことにより（パワーオフ状態）、待機電力をゼロに出来ます。そして、1ナノ秒^{（注3）}という世界最高速でパワーオフ状態から電源を立ち上げてデータを復帰させることが可能となり、混載されるロジックLSIの要求に応じる高速アクセスを実現できることが確認されました。今回の成功は、大規模集積回路で今後ますます重要になる混載メモリを、その高速アクセス性能を保ったままで不揮発性化することで、システムLSIの更なる高性能化ならびに超低消費電力化への道を大きく前進させました。

【背景】

論理集積回路はトランジスタの微細化と共に機能を増大させ、1つのシステムをワンチップ化することが可能になり、このシステムLSIは現在の情報化社会を支えているキー・デバイスの1つになっています。そのようなシステムLSIに占める混載メモリの割合は年々大きくなってきており、現在の平均的システムLSIでは、チップの80%以上をメモリが占めている状況です。そのため、微細化による混載メ

モリの待機電力の増加によってシステムLSI全体の性能が頭打ちになる状況に陥っています。

この状況を打開するために、混載メモリを不揮発性化し、待機時において電源を遮断して待機電力を削減する方法が提案され、実用化を目指した開発が行われています。この場合の不揮発性記憶デバイスとしては、CMOS回路との整合性、スケーラビリティ（微細化による性能向上）、高速書き込み・読み出し性、及び書き込み回数耐性^(注4)などの観点から、MTJが最適なものと考えられています。しかしながら、MTJを使った従来のメモリは、トランジスタが1個とMTJが1個からなるメモリセルやトランジスタが8個とMTJが2個からなるメモリセルなどが提案されていますが、何れも混載メモリに要求される高速アクセス時間と待機電力ゼロを同時に満足できるものが実現できていませんでした。前者はアクセス時間が長く、後者はパワーオフ状態への高速データ・セーブに時間がかかる問題があると同時に、現在の標準的な混載メモリである6個のトランジスタからなるメモリセルを使ったスタティックRAM（6T-SRAM）^(注5)よりもメモリ面積が大きくなるという点も課題となっていました。

【研究経緯】

世界最高水準のMTJデバイス作製技術を有する東北大学の^(注6)大野英男教授、世界最高速の不揮発性ラッチ回路など不揮発性論理回路による最先端低電力集積エレクトロニクス技術の構築を世界に先駆けて提案・実証してきた同大学の遠藤哲郎教授、ならびに世界有数の微細加工技術を持つNECは、スピントロニクスデバイスによる論理集積回路の超低消費電力化を目指して共同研究を続けてきました。その成果として、MTJとCMOS回路を同一集積回路上に混成した、いわゆるMTJ/CMOS混成回路において、構成素子数が少なく高速アクセス可能であり、待機電力がゼロを実現できるメモリセルを使った1M（メガ）ビットロジック混載用メモリを開発することに成功しました。これにより、高性能で超低消費電力の不揮発性システムLSIの実現に向けて大きく前進しました。

【研究課題】

システムLSIに使われている混載メモリとしては、6T-SRAMが現在標準的に採用されていますが、トランジスタの微細化と共に、メモリセルでのリーク電流が増加し、LSI全体のパワーを増大させ、さらなる機能や性能の向上が見込めなくなっています。同時に、微細化に伴うトランジスタ特性のばらつきによりデータを安定して保持することも難しい状況になっています。また、これを解決すべく、各種の不揮発性メモリが提案・開発されていますが、アクセス時間、データ保持の安定性、書き込み回数耐性、メモリセルサイズなどに関して、混載メモリとしての性能を満足するものはありませんでした。

【研究手法と成果】

東北大学の遠藤哲郎教授らのグループは、4個のトランジスタと2個のMTJからなる（4T2MTJ）不揮発性メモリセルの構造を提案し、そのメモリセルとしての特性やスケーラビリティ^(注6)について学会発表や論文発表をしてきました^(注7)。今回は、このメモリセルを使った1M（メガ）ビットのメモリ（4T2MTJ RAM）を設計・試作し、百万個のセルを2次的に並べたセルアレー内の32セル毎にパワー・ゲーティング手法^(注8)を適用し、パワーオフ時の待機電力ゼロ化と1.0ナノ秒と0.2ナノ秒という世界最高速のデータ・ロードとデータ・セーブ特性^(注9)を両立させることに成功いたしました。2個のMTJは4個のトランジスタ（4T）の上層部に配置することで、メモリセルサイズは4Tのみで決まるために、非常にコンパクトなメモリセルが実現でき、45ナノ・メートル世代以降では6T-SRAMよ

りも小さな混載メモリが出来ることを可能としました。また、MT J が自己整合的にスイッチングすることで、メモリセルのデータ保持時におけるスタティック・ノイズ・マージン (SNM)^(注10) も電源電圧 1 V において 0.32 V と大きな値を確保できることも実験的に確かめられ、低電圧においても安定してデータ保持が可能であることを実証することが出来ました。さらに、MT J メモリでは避けられないと見做されていたリード・ディスタート^(注11) がほぼ完全に解消される点も大きな特徴です。

【研究成果の意義】

今回、新しい 4 T 2 MT J メモリセルからなる 1 M (メガ) ビットのロジック混載用メモリを設計・試作してその特性を評価した結果、以下の結論が得られ、システム L S I のパワー増に伴う機能・性能頭打ちの状況を打破するための指針を得る事が出来ました。

- ・ **パワー・ゲーティング手法を適用し、高速アクセスと待機電力ゼロを両立**

32 という少数のメモリセル単位毎に電源をオン・オフ (パワー・ゲーティング) させることで、世界最高速である 1 ナノ秒のデータ・ロード特性、0.2 ナノ秒のデータ・セーブ特性を得ることに成功し、待機電力ゼロと高速のメモリ読み出し特性が両立することを世界で初めて実証しました。

- ・ **SRAM よりも高密度・大容量なロジック混載メモリを実現**

MT J はトランジスタの上層部に配置することが可能であるため、4 T 2 MT J セルのサイズは 4 個のトランジスタのみで決まります。これは 6 個のトランジスタからなる 6 T-SRAM のセルよりもセルが小さくなることを意味し、今よりも高密度・大容量のロジック混載メモリが実現できることを世界で初めて実証しました。

- ・ **MT J スwitching による抵抗変化により低電圧で安定動作可能**

6 T-SRAM で問題であった微細化と低電圧化によるメモリセルの SNM 劣化の問題を、MT J 抵抗変化を自己整合的に回路の安定性向上に結びつけることに成功し、動作電圧のさらなる低電圧化と高速アクセス化へ寄与できることを実証しました。

なお、東北大学ならびに NEC は今回の成果を、6 月 13 日から 15 日まで米国ハワイ州、ホノルルで開催される半導体集積回路技術の国際学会「2012 Symposium on VLSI Circuits」において、13 日に発表します。

本成果は、内閣府の最先端研究開発支援プログラム (題名:「省エネルギー・スピントロニクス論理集積回路の研究開発」、中心研究者:東北大学 大野英男教授) によって得られたものです。

以 上

(注 1) スピン注入磁化反転型 MTJ デバイス

内閣府の最先端研究開発支援プログラムの中心研究者である大野英男教授らのグループで盛んに研究開発されてきた、優れた特性を有するスピントロニクス素子です。

(注2) つくばイノベーションアリーナ (T I A) のスーパークリーンルーム (S C R)

2009年に茨城県つくば市に発足した世界水準のナノテクノロジー研究拠点であるつくばイノベーションアリーナ (T I A) によって運営されている300mmウエハー対応スーパークリーンルーム (S C R) です。

(注3) 1ナノ秒

1秒の10億分の1に相当する時間を表します。

(注4) 書き込み回数耐性

許容される書き込み回数の最大値のことで、それ以上書き込みを続けると、メモリ素子が破壊され、正しくデータが読み出されない。ロジック混載用メモリでは、10の15乗回以上の耐性が要求されています。

(注5) スタティックRAM (6 T - S R A M)

データをトランジスタ4個からなる双安定回路に記憶すると共に、2個のスイッチング用のトランジスタを設けてデータ線対に接続させたセルを使った高速アクセス可能なランダム・アクセス・メモリです。

(注6) スケーラビリティ

微細化に対する性能向上の可能性のことです。

(注7) 昨年9月に名古屋で開催された International Conference on Solid State Devices and Materials (SSDM) と今年2月発行の Japanese Journal of Applied Physics (JJAP) で発表されました。

(注8) パワー・ゲーティング手法

回路が動作をしていない期間にわたり、その回路に供給される電源を遮断して、待機時の消費電流をゼロにする設計手法のことです。

(注9) データ・ロードとデータ・セーブ特性

電源投入直後にMT Jから回路へデータを読み出す時の特性と電源遮断直前に回路からMT Jへデータを記憶させる時の特性のことです。

(注10) スタティック・ノイズ・マージン (S N M)

双安定回路にそれを構成している素子の特性がばらついた時にもデータを安定して記憶することができる指標を電圧で表現したものです。

(注11) リード・ディスタープ

MT Jメモリでの読み出し時に流す電流によって、ある特定方向に関するMT Jの書き換え確率が上昇して不良を起こさせるメカニズムのことです。

(お問い合わせ先)

東北大学 省エネルギー・スピントロニクス集積化
システムセンター 支援室 門脇豊 室長
022-217-6116, sien@csis.tohoku.ac.jp