



東北大学

2012年9月13日

報道機関 各位

東北大学流体科学研究所

東北大学寒川教授グループ、超低損傷中性粒子ビーム酸化プロセス技術による  
12 ナノメートル世代以降の高品質 Ge MOS トランジスタ構造を実現

(ポイント)

- 1) ゲルマニウム基板に損傷を与えず低温で緻密なゲルマニウム酸化膜を形成できるソフトな中性粒子ビーム直接酸化技術を使って、界面準位が  $10^{11}\text{cm}^{-2}$  以下の高品質界面ゲルマニウム MOS トランジスタ構造を初めて実現。
- 2) 技術世代 12 ナノメートル以降の微細加工技術も見通せる範囲に。

(概要)

東北大学流体科学研究所および原子分子材料科学高等研究機構の寒川誠二教授グループは、この度 2020 年頃に実用化される見通しにある 12 ナノメートル世代以降の超 LSI デバイスに必要な不可欠なゲルマニウムチャンネル MOS トランジスタ製造プロセスにおけるゲート絶縁膜形成に、無損傷で低温酸化が実現できる中性粒子ビーム酸化プロセスを用いることで、困難であった 2.0nm 以下の極薄高品質ゲルマニウム酸化膜 (EOT < 2.0nm) の直接形成を初めて実現し、電氣的に MOS トランジスタ界面が超低界面準位であることを実証いたしました。

今回新たに開発された技術は、寒川教授が発明し、ナノメートルオーダーの超微細加工技術において威力を発揮してきた中性粒子ビームプロセスを、ゲルマニウム MOS トランジスタゲート絶縁膜作製技術に応用したものであり、実際の電気特性実証の成功により、中性粒子ビーム技術の有効性を広く明らかにしたものであります。

半導体産業は世界的な競争のもと、新材料の導入や微細化研究が盛んであります。特に MOS トランジスタは半導体産業の最大の牽引車であり、国際競争を勝ち抜くために、その高性能化の研究は極めて重要であります。集積回路の高性能化には回路の微細化が不可欠であります。現在の 2 次元平面的広がりが必要とする素子技術では、微細化した回路素子からのリーク電流による発熱が大きくなりすぎて、技術世代 22 ナノメートル以降の超高集積回路の実現は難しいとされています。

この技術の壁を打ち破るため、チャンネル材料にゲルマニウムを用いた MOS トランジスタの開発が精力的に進められております。そのゲルマニウム MOS トランジスタにおける製造上および特性上の最大の問題は、ゲート酸化膜形成時におけるゲルマニウムおよびゲルマニウム酸化膜界面準位であります。既に私どもは中性粒子ビーム酸化を用いて 3 次元シリコン構造を無損傷に低温酸化することで、起立型 MOS トランジスタにおける電子の移動度を向上させることができることを 2005 年の IEDM (国際電子デバイス会議) で発表しています。

今回我々は、ゲルマニウム基板表面の自然酸化膜を独自に開発した水素ラジカルにより除去し、真空一貫で連続して酸素中性粒子ビームによる 300℃以下の低温酸化で均一超低損傷ゲルマニウム酸化膜を形成し、その上に高誘電率膜であるアルミニウム酸化膜を堆積することで MOS キャパシタ構造試作を行い、電氣的

に界面準位を測定いたしました。その結果、従来の熱酸化やプラズマ酸化によるゲルマニウム酸化膜に比べて極薄のゲルマニウム酸化膜が界面準位が低い状態で形成できることに初めて成功しました。これは、中性粒子ビームによる酸化では300°C以下という低温で面方位依存性なく緻密なゲルマニウム酸化膜が原子層レベルで形成できるためであります。ゲルマニウムはシリコンに比べ熱プロセスやプラズマプロセスへの耐性が低く、膜厚の制御や低界面準位を実現することが極めて難しく、ゲルマニウムを用いた高移動度 MOS トランジスタの実現に大きな障害になっておりました。しかし、中性粒子ビーム酸化を用いて高品質極薄ゲルマニウム酸化膜が実現できたことから、今後ゲルマニウム MOS トランジスタの開発が大きく前進することとなります。

現在の半導体業界を取り巻く状況として、「如何にしてプロセスダメージを克服するか、如何にして低温プロセスを実現するか」という非常に大きな問題があります。これは、半導体 LSI の集積化が進み LSI の構成素子であるトランジスタの更なる微細化に伴い表面に生成する欠陥の電気特性に対する影響が飛躍的に大きくなったことによります。

プラズマを用いたプロセスでは励起されたラジカルやイオンにより表面反応は低温で進行するため、従来の熱プロセスに比べて圧倒的に低温のプロセスが実現できます。しかし、プラズマから照射される放射光(特に紫外線)により、基板表面から数十 nm 以上の深さで欠陥が生成されます。特に形成構造がナノオーダーになりますと、構造全体に欠陥が生成されるためにデバイスとしての機能を果たすことができなくなります。

我々は、実用的なプロセス技術の確立を目指して、2001年より中性粒子ビームの各種先端デバイスへの応用に関する検討及び技術開発の研究に着手してまいりました。今回は世界で初めて GeMOS デバイスへの中性粒子ビーム酸化の適用と実際の電気特性の向上を実現し、次世代 Ge MOS トランジスタへの超低損傷・低温プロセスの有効性を明らかに示すことに成功いたしました。

中性粒子ビームによる加工・表面改質・材料堆積技術は、現在の半導体業界が直面している革新的ナノデバイスの開発を妨げるプロセス損傷を解決する全く新しいプロセス技術であると考えられます。また、本技術を用いた装置はプラズマプロセスとして実績がありもっとも安定した装置において用いられているプラズマ源をそのまま使い、中性化のためのグリットを付加するだけで実現できる事から、今後、22 ナノメートル以降の先端ナノデバイスにおける革新的なプロセスとして実用化されてゆく事もおおいに期待されるものがあります。既に大手装置メーカーで装置化が進んでおり、近い将来、実用化されることとなります。

尚、今回の研究成果につきましては、9月17日から21日までフランスで開催される「The 42nd European Solid-State Device Research Conference (ESSDERC)」において報告を行う予定であります。

論文題目：「**Thin Germanium Dioxide Film with a High Quality Interface Formed in a Direct Neutral Beam Oxidation Process**」

## 次世代トランジスタ

- ・3次元構造トランジスタ: 短チャネル効果の抑制
- ・新材料トランジスタ: 微細化に依らず高性能化

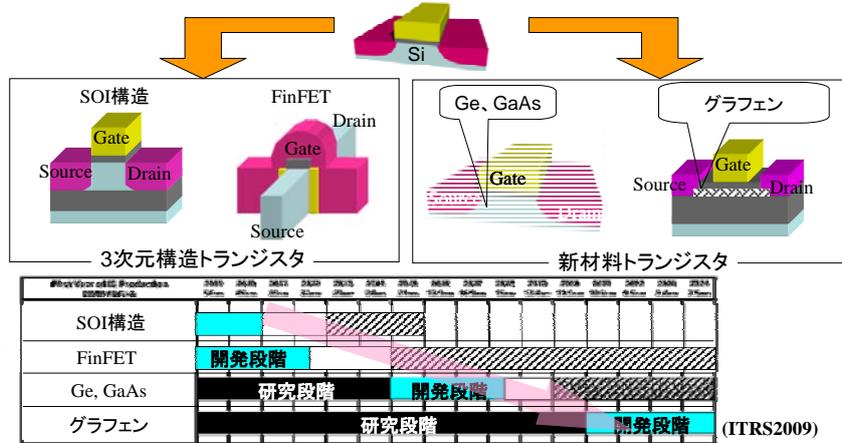


図1 先端デバイス開発ロードマップ

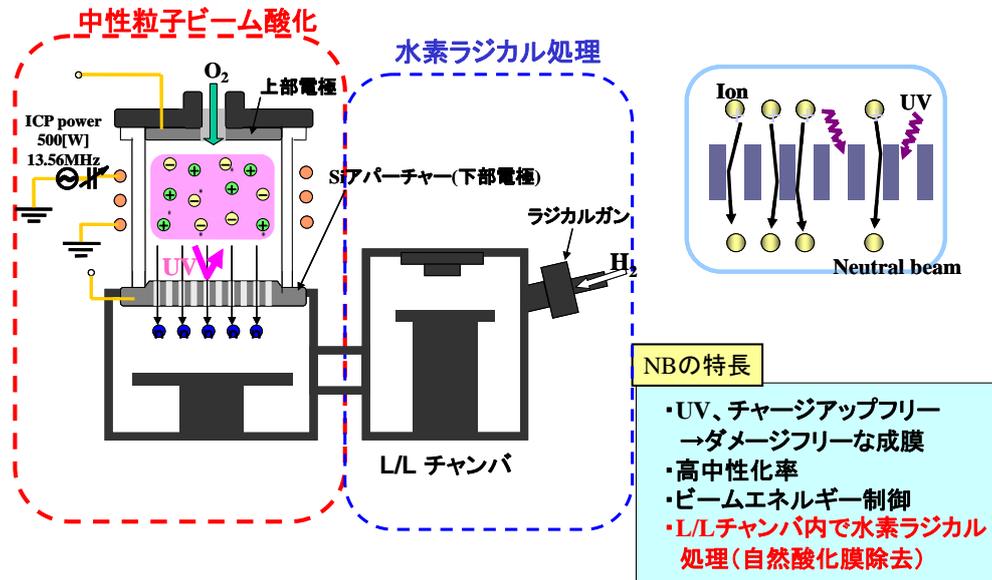


図2 中性粒子ビーム酸化装置

## 用語の説明

### ◆プラズマプロセス

微細加工技術の一つで、プラズマにより励起された活性なイオンを、基板に垂直に入射するように加速して照射し、エッチングを行う。微細なパターンを垂直に加工できることから現在主流の加工方法であるが、イオンの照射や紫外線によるダメージが素子を劣化させる等が問題になりつつある。

### ◆ダメージ

半導体デバイス製造工程においてプラズマプロセスにより入るダメージが大きな問題となっている。ダメージには、(1) 物理的なダメージ、(2) 電荷蓄積によるダメージ、(3) 放射光によるダメージ、の3種類がある。物理的ダメージは基板に入射するエネルギーをもったイオンの衝撃により基板に欠陥などのダメージが入ることをいう。電荷蓄積によるダメージはプラズマから基板に入射する電荷（正イオン、電子）が絶縁膜上に蓄積することで、MOS トランジスタにとって極めて重要であるゲート絶縁膜などを絶縁破壊することをいう。放射光によるダメージは、プラズマから基板に入射する紫外光やX線のような波長の短い放射光は基板に堆積されているシリコン酸化膜中にホール・電子対を生成し、絶縁性を劣化させることをいう。

### ◆中性粒子ビーム

通常のプラズマエッチングでは、高速な荷電粒子との反応によりエッチングが行われるので、衝突時に生じるダメージの他、電荷の蓄積や紫外光照射によるダメージ等が避けられないでいた。そのため電氣的に中性な粒子を用いたエッチングが、ダメージを与えない究極のエッチング方法として注目されている。

プラズマ中に存在する正イオンあるいは負イオンは電界により加速された場合には原子分子、電子、壁などとの衝突で電荷交換して中性化される。この時、運動エネルギーは保存され、方向性をもった中性粒子ビームが生成される。本研究では塩素負イオンを直流電圧により加速することで電荷放出を促し、低エネルギー高密度中性粒子ビームを形成している。

### ◆プレーナー型バルク MOS トランジスタ

シリコン表面層に平面的に作製されたトランジスタであり、その発明以来延々と使用され、微細化のトレンドが継続されている。しかしながら、今後いよいよ微細化の限界に直面しつつあり、短チャネル効果と呼ばれる現象や、リーク電流の増大が今後避けて通れなくなりつつある。

### ◆起立型ダブルゲート MOS トランジスタ

22 ナノメートル・ノード以降の MOS (Metal-Oxide-Semiconductor: 金属-酸化物-半導体) トランジスタにおいては、短チャネル効果と呼ばれる現象により閾値電圧の低下と、リーク電流の増大が避けられなくなっている。近年開発が進められている起立型ダブルゲート・トランジスタにおいては、複数のゲート電極により短チャネル効果を完全に防止し、低いリーク電流と高い電流駆動能力を実現することが可能であり、次々世代のトランジスタとして精力的に開発が進められている。

起立型ダブルゲート MOS トランジスタの中でも、シリコン基板を垂直に加工したフィンと呼ばれる構造を持つフィン型ダブルゲート MOS トランジスタは、対向するゲート電極を形成することが比較的容易であり、また既存トランジスタの製造プロセスが利用できることなどから注目されている。しかしながら、フィン加工面の原子的な凹凸やダメージによりデバイス特性が大きく左右されるなどの問題点が、これまで未解決であった。

### ◆技術世代 22 および 12 ナノメートル

別名、テクノロジー・ノードとも呼ばれる。最小のメタルピッチの半分の値を基に定義される。国際半導体ロードマップ (ITRS) の規定によると、22 ナノメートル・ノードの製品は 2015 年に生産が予定されている。現在は 32 ナノメートルが製品化され、22 ナノメートルの開発が勢力的に進められている。更に、2020 年に生産が予定されている 12 ナノメートル・ノードの製品はゲルマニウムをチャネル材料として用いる MOS トランジスタ構造が検討されている。

#### ◆EOT

SiO<sub>2</sub>膜換算膜厚 (EOT : Equivalent Oxide Thickness)

高誘電率膜の物理膜厚をT, 誘電率を  $\epsilon$ , SiO<sub>2</sub>膜の誘電率を  $\epsilon_{SiO_2}$ とすると, 次の関係にある。

$$EOT = \epsilon_{SiO_2} \times T / \epsilon$$

誘電率が高ければ高いほど同じSiO<sub>2</sub>膜換算膜厚でも物理膜厚を厚くできるので, 漏れ電流を抑えるには有利となる。

#### (お問い合わせ先)

東北大学流体科学研究所・流体融合研究センター  
知的ナノプロセス研究分野

教授 寒川誠二, 助教 和田章良

〒980-8577 仙台市青葉区片平2丁目1番1号

TEL/FAX:022-217-5240, 5318

e-mail:samukawa@ifs.tohoku.ac.jp