



平成 30 年 5 月 14 日

報道機関 各位

東北大学 国際集積エレクトロニクス研究開発センター
株式会社アドバンテスト

**アドバンテスト社製メモリテスターを用いて、
磁気ランダムアクセスメモリ (STT-MRAM) の
歩留まり率の向上と高性能化を実証**
300mm ウェハ全面における平均値で歩留まり率の向上 (91%から 97%) と、
高速動作特性の向上を実証する実験に成功

標記について、別添のとおりプレスリリースいたしますので、広くご周知いただきますようご協力の程お願い申し上げます。

【問い合わせ先】

(研究内容及びセンターの活動に関して)

東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL:022-796-3400

(その他の事項について)

東北大学国際集積エレクトロニクス研究開発センター内
OPERA 支援室長 山川佳之 TEL:022-796-3405

E-mail:opera-shien@grp.tohoku.ac.jp



ADVANTEST



平成30年5月14日

報道機関 各位

東北大学 国際集積エレクトロニクス研究開発センター
株式会社アドバンテスト

**アドバンテスト社製メモリテスターを用いて、
磁気ランダムアクセスメモリ (STT-MRAM) の
歩留まり率の向上と高性能化を実証**

**300mm ウェハ全面における平均値で歩留まり率の向上 (91%から 97%) と、
高速動作特性の向上を実証する実験に成功**

【概要】

指定国立大学法人東北大学国際集積エレクトロニクス研究開発センターの遠藤哲郎センター長（兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター（世界トップレベル研究拠点）副拠点長、省エネルギー・スピントロニクス集積化システムセンター長、スピントロニクス学術連携研究教育センター 部門長）のグループは、CIES コンソーシアムでの産学共同研究並びに、科学技術振興機構 産学共創プラットフォーム共同研究推進プログラム（領域統括：遠藤哲郎）において、株式会社アドバンテスト（代表取締役 兼 執行役員社長：吉田 芳明 本社：東京都千代田区丸の内1丁目6番2号 以下、アドバンテスト）と共同で、アドバンテスト社製のメモリテスターを用いて次世代メモリである磁気ランダムアクセスメモリの歩留まり率の向上と高性能化の実証実験に成功しました。

今回の実証実験の成功は、本学国際集積エレクトロニクス研究開発センター（略称 CIES）が推進する CIES コンソーシアム並びに、東北大学が幹事機関を務め、東北大学・京都大学・山形大学と先進的企業群の力を結集して、産学共創プラットフォームの形成を目指す OPERA における開発体制によるものです。

以上の成果は、2018年5月13日～16日の間、京都で開催されるメモリ集積回路に関する国際学会である「米国電子情報学会（※1）主催の国際メモリワークショップ（IEEE International Memory Workshop）」で発表致します。

【問い合わせ先】

（研究内容及びセンターの活動に関して）

東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL：022-796-3400

（その他の事項について）

東北大学国際集積エレクトロニクス研究開発センター内
OPERA 支援室長 山川佳之 TEL：022-796-3405

E-mail:opera-shien@grp.tohoku.ac.jp

【背景】

パーソナルコンピューターなどに代表される現代の情報通信機器では、情報の記憶を担うメモリが数多く使用されています。コンピューター中に用いられるメモリは、動作速度と容量により形成されるピラミッド構造で階層化されていることが良く知られています。ピラミッドの頂点に近づくほど容量は小さくなりますが、動作速度は速くなります。一方で、ピラミッドの裾野に近づくほど動作速度は遅くなりますが、容量が大きくなります。これまでピラミッドの中心領域から頂点付近までは、半導体ベースの揮発性メモリ(※2)が使用されてきました。これらの半導体メモリは、半導体技術世代の進歩に伴い、容量・速度共に増加の一途をたどってきましたが、最近になりその進歩が鈍化してきています。その原因の一つは、電源を切っても消費される待機電力の増加にあります。これは、前記の半導体メモリが揮発性であることに加え、半導体技術世代の進歩に伴いリーク電流が増加したことに因るものです。この問題を解決するために、現在、磁石の性質を用いた不揮発性メモリの研究・開発が盛んに行われています。情報の記憶を担うのは、磁石の性質(スピン)で、情報の読み出しは磁石の磁化方向に依存して変化する抵抗変化、つまり電気的な性質(エレクトロニクス)が利用されます。このように電子が持つ電荷の性質と磁石の性質の両方を利用した技術のことをスピントロニクスと呼びます。スピントロニクス技術を用いた代表的なデバイスは、磁気トンネル接合(※3)です。磁気トンネル接合をアレイ化して、半導体ベースのメモリでも用いられてきた CMOS 技術と融合させることで磁気ランダムアクセスメモリ(STT-MRAM)が実現されると期待されています。STT-MRAMでは、情報を磁石の性質を使って記憶しますので、不揮発性を有します。また、他の不揮発メモリでは実現が難しいと言われている高速動作・低電圧動作・高書き換え耐性特性を全て有します。現在、世界中の研究機関や企業で研究開発が行われており、大手半導体ファブ会社で2018年の実用化を目指すことをアナウンスしております。

【研究課題】

STT-MRAMは、これまで用いられてきた半導体メモリと同様に最終的にメモリとしての性能を評価していく必要があります。そのためには、メモリテスターと呼ばれる評価装置を用いてメモリの性能評価を行う必要があります。しかし、電気的特性と磁気的特性を同時に活用する動作原理に起因するSTT-MRAM固有の不良モードの検知ができると共に、従来の半導体メモリでは求められなかった高速動作かつ不揮発性という新しい測定性能を有するSTT-MRAM向けの新しい測定技術とメモリテスターの開発が望まれています。

【研究経緯】

東北大学国際集積エレクトロニクス研究開発センター 遠藤哲郎センター長(兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター(世界トップレベル研究拠点))のグループでは、CIES コンソーシアムでの産学共同研究並びに、科学技術振興機構 OPERA「IT・輸送システム産学共創コンソーシアム」にて、スピントロニクス集積回路の高効率、高精度特性評価手法の確立を目指して、STT-MRAMのメモリ性能を評価するメモリテスターの高度化を進めております。国際集積エレクトロニクス研究開発センター(Center for Innovative Integrated Electronic Systems: 以下CIESと略称)とアドバンテストは、これまでCIESコンソーシアムで推進しているCIES産学共同研究プロジェクト「不揮発性ワーキングメモリを目指したSTT-MRAMとその製造技術の研究開発」プログラムにおいて、STT-MRAMの性能評価に特化したメモリテスターの開発に取り組んで参りました。

【研究手法と成果】

今回、CIESは、アドバンテスト社と共同で開発してきたSTT-MRAM測定技術をアドバン

テスト社製メモリテスター(図1)に実装して歩留まり率(※4)と高速特性が異なる2種類のSTT-MRAMを評価し、以下の成果を世界に先駆けて得ました。

特性評価に用いたSTT-MRAMは、これまでCIES産学共同研究プロジェクト「不揮発性ワーキングメモリを目指したSTT-MRAMとその製造技術の研究開発」プログラムで開発されたもので、従来の加工技術と新しい加工技術(反応性イオンエッチング:RIE)の2種類で加工されたものです。図2(上段)には、STT-MRAMの歩留まり率を300mmウェハ全面で測定した結果を示しています。XとYは、300mmウェハ内のSTT-MRAMチップの場所を表します。そして、従来技術と新しい技術で加工した2種類のSTT-MRAMチップの歩留まり率を300mmウェハ全面で測定し、新しいRIE技術によって歩留まり率が91%から97%に向上することを実証しました。これにより、従来プロセスダメージのために困難と考えられていたRIE加工技術によるMTJの加工を行っているにも関わらず、300mmウェハ全面で量産レベルの高い歩留まりを実証したことになり大きな成果です。図2(下段)には、高速動作特性を評価した結果も示しました。歩留まり率が高いSTT-MRAMチップでは、高速動作特性も向上していることを明らかにしました。

本研究では、これらのSTT-MRAMチップの300mmウェハ全面での測定評価を通じて、アドバンテスト社と東北大学が開発した高速メモリ特性評価技術の有効性を実証しました。

【研究成果の意義】

CIESとアドバンテスト社は、CIESコンソーシアムで推進しているCIES産学共同研究プロジェクト「不揮発ワーキングメモリを目指したSTT-MRAMとその製造技術の研究開発」プログラムとOPERAプロジェクトにて引き続きSTT-MRAM用メモリテスターの高度化技術の研究開発を継続し、将来のSTT-MRAMの量産に不可欠なSTT-MRAMに特化したメモリテスターの製品化を目指して参ります。本研究で行った実証実験は、今後の量産向けメモリテスターの開発の礎となる成果となります。量産対応の高精度・高速メモリテスターが開発されれば、STT-MRAMの開発効率が格段に向上すると共に、STT-MRAMの量産ビジネスにも貢献できるものと期待されます。

このたびの成果は、本学国際集積エレクトロニクス研究開発センターが推進するCIESコンソーシアム並びに、東北大学が幹事機関を務め、東北大学・京都大学・山形大学と先進的企業群の力を結集して、産学共創プラットフォームの形成を目指すOPERAにおける開発体制により得られたものです。

以上の成果は、2018年5月13日～16日の間、京都で開催されるメモリ集積回路に関する国際学会である「米国電気電子学会(※1)国際メモリワークショップ(IEEE International Memory Workshop)」で発表致します。

【用語説明】

(※1) 米国電気電子学会

The Institute of Electrical and Electronics Engineers, Inc. 通称 IEEE (アイ・トリプル・イー)。米国に本拠を置く世界最大の電気・電子技術に関する学会組織。

(※2) 半導体ベースの揮発性メモリ

電子の持つ電氣的性質(電荷)を利用した情報を一時的に記憶するメモリ。大容量のメインメモリに主に使われているDRAMと高速動作が要求されるキャッシュメモリに用いられるSRAMがある。

(※3) 磁気トンネル接合

磁石の性質を示す材料で構成された薄膜で、薄い絶縁層を挟んだ構造で構成される。二つの磁石の層の磁化の向きに応じて抵抗が変化するトンネル磁気抵抗効果を示す。

(※4) 歩留まり率

作製したデバイスの全数に対して、良好な特性を示すデバイス数の割合。高いほど良好な特性を示すデバイス数が大きくなるために、製造コストの削減や集積回路の高性能化が可能となる。



図1 本研究でSTT-MRAMの評価に用いたアドバンテスト社製メモリテスター(T5385ES)。

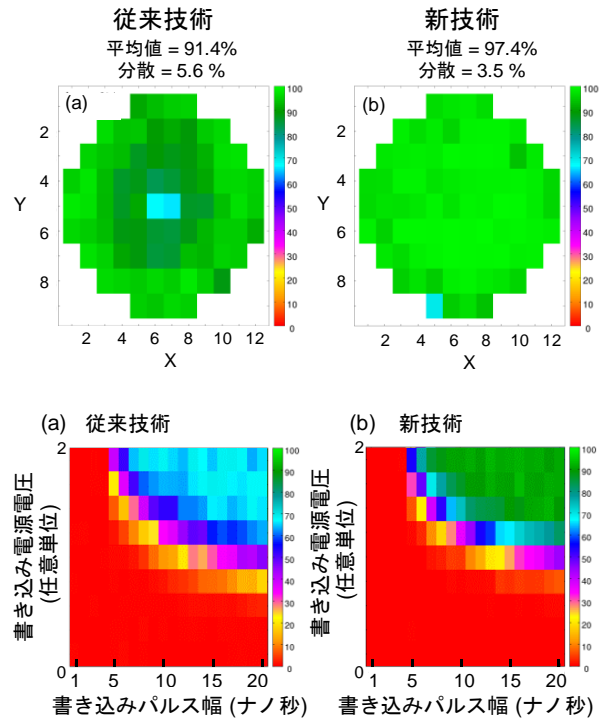


図2 アドバンテスト社製メモリテスターを用いて評価したSTT-MRAMチップの歩留まり率(上段)と高速動作特性(下段)の結果。