



令和元年12月9日

報道機関 各位

東北大学国際集積エレクトロニクス研究開発センター
東北大学電気通信研究所

**【世界初】400℃熱耐性と10年データ保持特性を有する
無磁場高速(350ピコ秒)書き換えスピン軌道トルク(SOT)
素子の開発と、CMOS技術との集積化により
SOT-MRAMセルの動作実証に成功**
～スピン軌道トルク素子を適用した高速不揮発性磁気メモリの実用化に向け
大きく前進～

【発表のポイント】

- スピン軌道トルク素子(スピントロニクス技術)と400℃配線工程を有するCMOS技術とを融合し、世界で初めてスピン軌道トルク素子を用いたメモリセルを試作し、10年データ保持特性に要求される不揮発性能(熱安定指数=70)を実現しつつ無磁場で0.35ナノ秒までの高速動作を実証
- 高速動作に有利なスピン軌道トルク素子を用いて不揮発性メモリ並びに同メモリを用いた不揮発性ロジックの実用化に大きく前進

【概要】

指定国立大学法人東北大学国際集積エレクトロニクス研究開発センター(以下、CIES)の遠藤哲郎センター長(※)、電気通信研究所の大野教授(現総長)らのグループは、内閣府 革新的研究開発推進プログラム(ImPACT)(プログラム・マネージャー:佐橋政司) 大野社会実装分科会 スピントロニクス集積回路プロジェクト(研究開発責任者:遠藤哲郎)において、世界で初めて Si-CMOS 基板上で、応用上必要とされる400℃の熱処理耐性、無磁場で0.35ナノ秒までの高速動作、10年データ保持特性を確保するために十分な熱安定性($E/k_B T=70$)を有するスピン軌道トルク型磁気トンネル接合素子の作製に成功すると共に、Si-CMOS技術と同スピン軌道トルク素子技術を組み合わせるために開発した300mm集積回路作製基盤技術を用いてCMOSとスピン軌道トルク素子を融合したメモリセルを試作し、その動作実証に初めて成功しました。

今回の実証実験の成功は、内閣府 革新的研究開発推進プログラム(ImPACT)並びに本学 CIESが推進するCIESコンソーシアムによるものです。

以上の成果は、2019年12月7日～11日の間、米国サンフランシスコで開催される電子デバイスに関する世界最高峰の国際学会である米国電子情報学会主催の「国際電子デバイス会議(IEEE International Electron Devices Meeting)」で発表します。

(※:以下の職を兼務。東北大学大学院工学研究科教授、電気通信研究所教授、先端スピントロニクス研究センター(世界トップレベル研究拠点)副センター長、スピントロニクス学術連携研究教育センター領域長)

【問い合わせ先】

◆研究内容及びセンターの活動に関して

東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL: 022-796-3410

◆その他の事項について

東北大学国際集積エレクトロニクス研究開発センター
支援室長 門脇豊 TEL: 022-796-3410 FAX: 022-796-3432
E-mail: support-office@cies.tohoku.ac.jp

【詳細な説明】

電源を切ると記憶情報を失う揮発性の半導体メモリを混載メモリとして用いる集積回路では、トランジスタの微細化に伴い待機電力(*1)の増大が問題になってきており、この問題を解決する技術として、スピントロニクス(*2)技術を使った電源を切っても記憶情報を失わない不揮発性メモリが高い注目を集めています。

スピントロニクスを用いた代表的なデバイスとして、磁気トンネル接合(MTJ)素子があります。MTJ素子は、磁石の性質を有する材料で構成された二つの層で薄い絶縁層を挟んだ構造を有しており、二つの磁石の向きが互いに平行と反平行の状態において、異なる抵抗を示します。二つの抵抗状態をそれぞれ、デジタル情報の“0”と“1”に割り当てることで、ランダムアクセスメモリとして応用できます。

MTJ素子を用いた代表的なランダムアクセスメモリに、Spin-transfer-torque Magnetoresistive Random Access Memory (STT-MRAM)が挙げられます(図1左)。STT-MRAMでは、MTJ素子に直接電流を流すことによって、前記の二つの強磁性体の内、片方の強磁性体の磁石の方向を反転させることで、デジタル情報の書き込みを行います。本方式は、CMOSと混載した場合にメモセルを最も小さくできる方式であり、混載フラッシュの代替用途として積極的に研究開発が進められてきました。実際に昨年から今年にかけて、大手の半導体製造会社が混載フラッシュ(*3)代替のSTT-MRAMの量産体制を整え製品出荷を進めていることをアナウンスしています。

次の半導体混載メモリの置き換えとして、スタティックランダムアクセスメモリ(SRAM)(*4)の置き換えが目標とされています。SRAM代替応用では、混載フラッシュ代替とは異なり、ナノ秒からサブナノ秒オーダーでの動作が求められます。このような高速領域での動作を得意とするMTJを用いた新しい磁気メモリとして、スピン軌道トルク(SOT)を用いたSOT-MRAMが提案されています(図1右)。SOT-MRAMでは、STT-MRAMとは異なり、MTJの下部に用意されたチャンネル層に電流を流すことで、同チャンネル層に隣接しているMTJの中の片方の強磁性体の磁石の方向だけを反転させます。本方式については、これまでその高速書き込み性能に高い注目が集まり、STT-MRAMの相補的な位置づけでSOT素子単体での性能向上に特化して研究開発が進められてきました。しかし、半導体混載メモリ代替として本格的に応用するためには、半導体製造の配線工程で必要となる400℃以上の熱処理耐性を有すること、加えて、期待されるような高速性能が得られることをCMOSウェハ上で試作したSOT素子で実証する必要があります。更には、実際にCMOSトランジスタと一緒にSOT素子を組込んで試作し、メモセルの性能を実証する必要がありました。また、10年のデータ保持を確保するための十分な熱安定性も達成されていませんでした。(表1)。

以上のような背景から、東北大学国際集積エレクトロニクス研究開発センター(以下、CIESと略称)遠藤哲郎センター長、電気通信研究所の大野教授(現総長)らのグループは、内閣府 革新的研究開発推進プログラム(ImPACT)(プログラム・マネージャー:佐橋政司) 大野社会実装分科会 スピントロニクス集積回路プロジェクト(研究開発責任者:遠藤哲郎)において、半導体混載メモリのSRAM代替を目指したスピン軌道トルク素子並びに同素子をトランジスタと混載したSOT-MRAMの研究開発に取り組んでまいりました。今回、これまで本学CIESにて開発してきた産業界と互換性のある300mmSiウェハプロセス装置を用いた集積プロセス技術を基盤としSOT-MRAM作製で必要となる集積化技術を開発し、CMOS基板上に作製した400℃熱処理耐性を有するSOT素子において、10年のデータ保持

を確保するために十分な高熱安定性 ($E/k_B T=70$) と無磁場で 0.35 ナノ秒の高速動作を実証すると共に、実際にトランジスタと混載した SOT 素子の動作実証に成功しました。

今回用いた SOT-MRAM のメモリセルの構造を図 2 に示します。今回動作実証に用いた SOT-MRAM は、3 端子型のメモリセル構造を有しており、書き込みと読み出しで電流経路が異なります。これによって大きな動作マージンが得られ、超高速動作が可能です。メモリ素子の情報の書き換えには、深見准教授らが開発した新しい SOT 素子構造が用いられ、チャンネル層であるタングステン(W)に電流を導入することで生ずるスピン軌道トルクにより、チャンネル層に隣接した強磁性体 (FL) であるコバルト鉄ボロン (CoFeB) 層の磁化方向を反転させることで情報が記録されます。また、チャンネル層に対して MTJ を傾けることによって、半導体集積回路応用に必須な無磁場での書き込みが可能になっています (図 2)。SOT を用いた不揮発性磁気記録素子の実用化のためには半導体の配線工程で必要な 400°C の熱処理耐性を持つ SOT-MTJ 材料の開発、SOT 素子を載せる半導体基板の平滑化プロセス、SOT 素子を加工する反応性エッチングプロセスを 300mm の半導体回路搭載基板上で開発する必要があります。本研究では、ImPACT プログラムで培ってきた SOT 素子技術と本学 CIES で開発した成膜技術、配線作製技術、反応性イオンエッチング技術を集結することによって、0.35 ナノ秒という超高速動作性能を示す素子の作製に成功しました (図 3)。更に、この開発した SOT 素子において、これまで達成されていなかった 400°C の熱処理耐性と不揮発性記憶素子に十分な熱安定性 ($E/k_B T=70$) を併せ持つことを実証しました。本開発技術を用いて、SOT 素子と CMOS トランジスタを混載した MTJ/CMOS ハイブリッドメモリセルを世界で初めて作製し、その動作実証に成功いたしました (図 4)。これらの結果から、従来の研究開発では達成されていなかった CMOS との集積化で必要となる 400°C の熱処理耐性、ゼロ磁場でのサブナノ秒の超高速動作性能、10年のデータ保持を確保するために十分な熱安定性を全て併せ持つ SOT 素子/CMOS のハイブリッドメモリセル技術の開発に成功しました (表 1)。

【研究成果の意義】

今回、東北大学国際集積エレクトロニクス研究開発センター並びに電気通信研究所は、内閣府 革新的研究開発推進プログラム (ImPACT) (プログラム・マネージャー: 佐橋政司) 大野社会実装分科会 スピントロニクス集積回路プロジェクト (研究開発責任者: 遠藤哲郎) にて、無磁場で 0.35 ナノ秒という高速で書き換え可能で高速動作応用において十分な不揮発性を確保する熱安定性 ($E/k_B T=70$) と 400°C の熱処理耐性を併せ持った SOT 素子の作製技術を 300 mm 半導体基板上で開発し、更に SOT 素子/CMOS のハイブリッドメモリセルの動作実証に世界で初めて成功いたしました。これによって、低消費電力性に優れ、且つ、高性能な SOT 素子を用いた MRAM の実用化が現実的なものになりました。

以上の成果は、2019 年 12 月 7 日～11 日の間、米国サンフランシスコで開催される電子デバイスに関する世界最高峰の国際学会である「米国電子情報学会主催の国際電子デバイス会議 (IEEE International Electron Devices Meeting)」で発表いたします。

【用語説明】

(*1) 待機電力

集積回路が動作していないときにも消費してしまう電力の事。トランジスタの微細化に伴うリーク電流の増大により、主に揮発性メモリ部分で増加している。

(*2) スピントロニクス

これまで別々に用いられてきた電子が有する電氣的性質(電荷)と磁氣的な性質(スピン)の両方を用いることで、新しい物理現象の発見や新しい機能性デバイスの実現を目指す学術分野。

(*3) 混載フラッシュメモリ

フラッシュメモリの一種でランダムアクセス性があるために集積回路中の混載メモリとして用いられる。

(*4) スタティックランダムアクセスメモリ (SRAM)

混載メモリの一種で揮発性半導体メモリ。高速動作に利点がある一方で、メモリセルのサイズが大きいため主に小容量のキャッシュメモリとして用いられる。汎用コンピューターでは、SRAM に加えて大容量で低速で動作する DRAM (ダイナミックランダムアクセスメモリ)も一緒に用いられる。

【参考図】

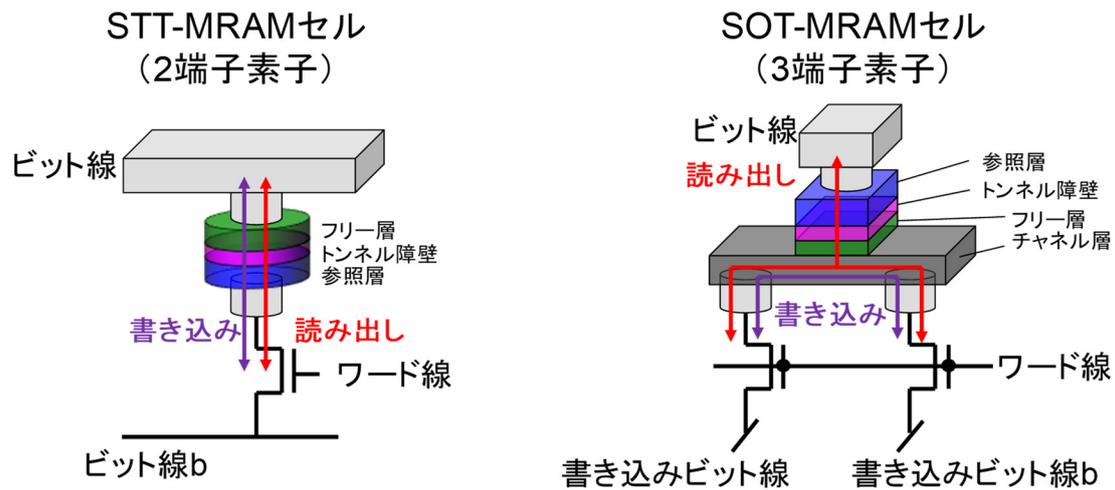


図1:STT-MRAM セルと SOT-MRAM セルのイメージ図

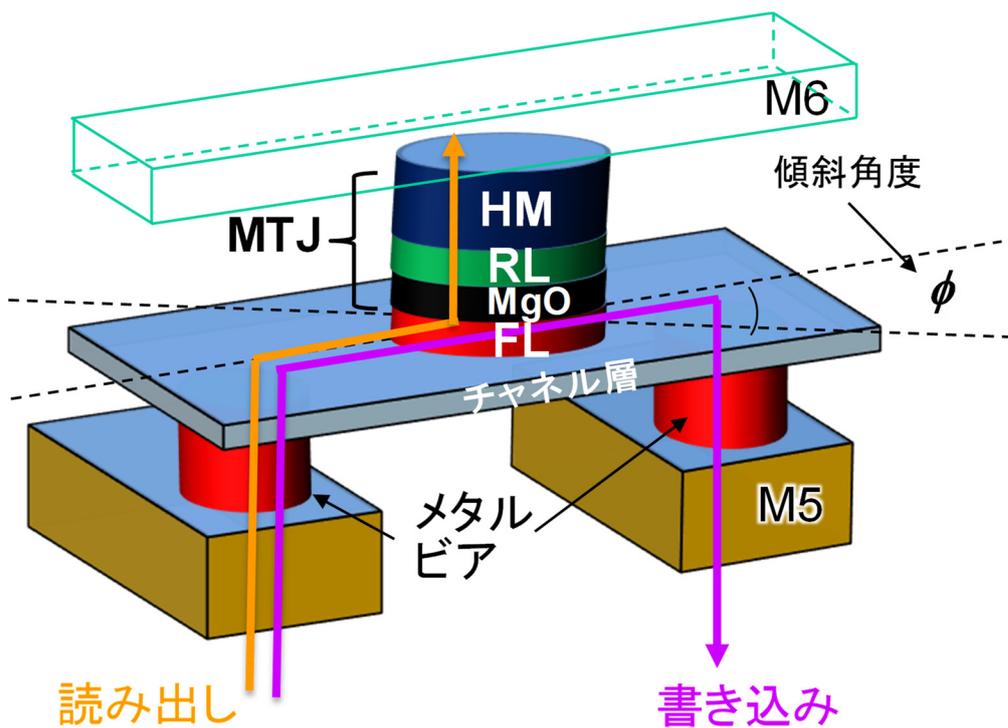


図2: 本研究で作製した SOT 素子の模式図

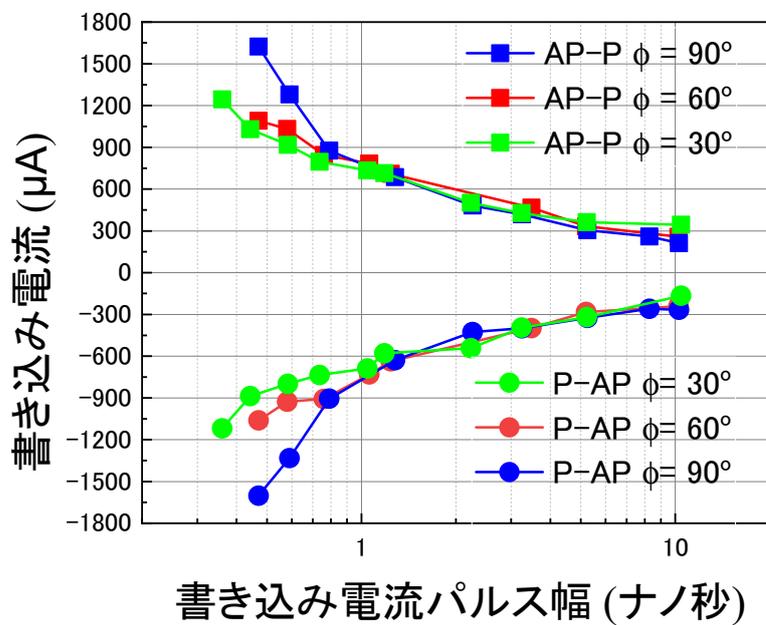


図3: 本研究で作製した SOT 素子の書き込み電流のパルス幅依存性の測定結果

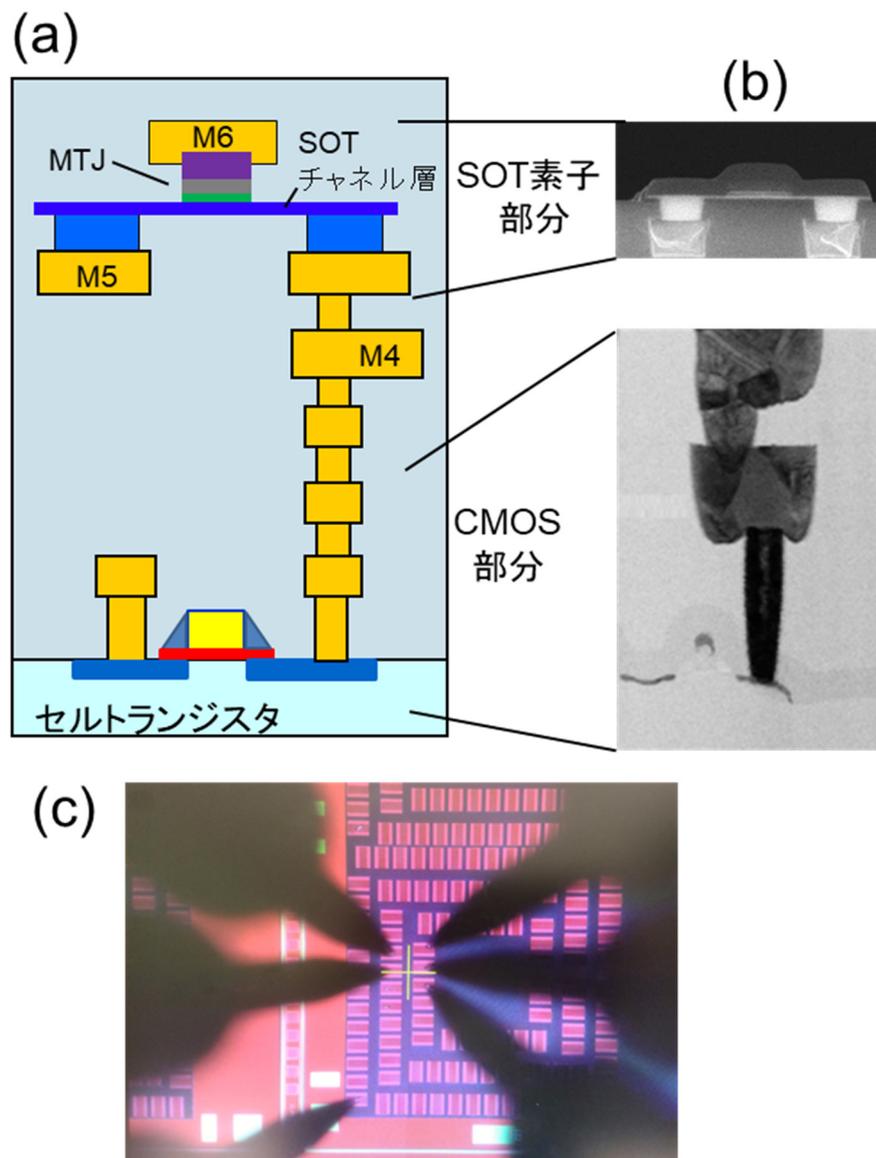


図4:不揮発性 SOT 素子/CMOS ハイブリッド SOT-MRAM セルの(a)断面模式図、(b)断面電子顕微鏡写真 (c)素子上面の顕微鏡写真

表1:本開発技術と既報技術の特性まとめ

		本開発	IMEC VLSI2019	東北大学 VLSI2016
デバイス	無磁界書き込み 技術	磁化容易軸を 傾ける	強磁性体の ハードマスク	磁化容易軸を 傾ける
	最小加工寸法	88 nm	60 nm	100 nm
プロセス	ウェハーサイズ	300 mm	300 mm	75 mm
	集積技術	CMOS付き	CMOSなし	CMOSなし
	パターニング技術	反応性イオン エッチング	未公表	未公表
	熱処理耐性	400°C	300°C	300°C
SOTデバイス 特性	TMR比	167%	110%	未公表
	スイッチング 電流密度@1 ns	23.6 MA/cm ²	126 MA/cm ²	未公表
	スイッチング時間	0.35 ns	0.3 ns	未公表
	熱安定性指数	70	48	未公表
	スピホール角	-0.37	-0.32	未公表
SOT-MRAM 特性	書き込み	10 ns	データなし (CMOSなし)	データなし (CMOSなし)
	読み出し	実効的な TMR比 = 140%	データなし (CMOSなし)	データなし (CMOSなし)

<赤字は未達成・未公表項目>