

令和2年6月15日

報道機関 各位

東北大学国際集積エレクトロニクス研究開発センター
東北大学電気通信研究所

SOT-MRAM チップの動作実証に初めて成功 ～読み書き同時処理機能の実装により、実用化に向け大きく前進～

【発表のポイント】

- スピントロニクス技術と CMOS 技術の融合により、スピン軌道トルク型磁気トンネル接合 (SOT-MTJ) 素子を用いた不揮発メモリ (SOT-MRAM) チップの試作・実証に初めて成功
- スピントロニクス技術を用いた不揮発メモリチップとしては初となるデュアルポート動作 (読み書き同時処理) の実装に成功
- 無磁場環境下における高速動作 (60MHz 書込み、90MHz 読出し) を達成
- 開発回路技術により、高速スタティックランダムアクセスメモリ (SRAM) の置き換えが期待される SOT-MRAM の更なる高速動作化への道を拓く

【概要】

半導体メモリでは、トランジスタの微細化に伴い、待機電力の増大が課題になっており、この問題を解決するために、スピントロニクス技術を使った不揮発性メモリに注目が集まっています。東北大学国際集積エレクトロニクス研究開発センター (以下、CIES) の遠藤哲郎センター長・教授※と電気通信研究所の羽生貴弘教授、夏井雅典准教授らの研究グループは、スピン軌道トルク型磁気トンネル接合 (SOT-MTJ) 素子と Si-CMOS 技術を組み合わせた集積回路技術を用いて、高速なデータの読み書きを可能とするデュアルポート型 SOT-MRAM チップを試作し、その動作実証に初めて成功しました。この不揮発性メモリ技術は、ICT 社会基盤のパラダイムシフトをもたらし、Society5.0 を実現するための基盤技術として期待されます。

本実験は、内閣府 革新的研究開発推進プログラム (ImPACT) ならびに本学 CIES が推進する CIES コンソーシアムによるものです。

本成果は、2020 年 6 月 15 日～18 日にオンライン開催される、集積回路技術に関する世界最高峰の国際会議の一つである「VLSI シンポジウム 2020 (VLSI2020: 2020 Symposia on VLSI Technology and Circuits)」で発表されます。

※: 以下の職を兼務: 東北大学大学院工学研究科教授、電気通信研究所教授、先端スピントロニクス研究センター (世界トップレベル研究拠点) 副センター長、スピントロニクス学術連携研究教育センター領域長

【問い合わせ先】

◆研究内容(回路設計および動作検証)について

東北大学電気通信研究所

教授 羽生 貴弘 TEL: 022-217-5679

准教授 夏井 雅典 TEL: 022-217-5552

◆プロジェクト内容・研究内容(集積技術)について

東北大学国際集積エレクトロニクス研究開発センター

センター長・教授 遠藤 哲郎 TEL: 022-796-3410

◆その他の事項について

東北大学国際集積エレクトロニクス研究開発センター 支援室

室長 高橋 嘉典 TEL: 022-796-3410 FAX: 022-796-3432

E-mail support-office@cies.tohoku.ac.jp

【詳細な説明】

○背景

パーソナルコンピュータなどに代表される現代の情報通信機器は、半導体集積回路の進展に伴い長足の進歩を遂げてきました。最近では、IoT と呼ばれるあらゆるモノをインターネットで接続することで、スマートな社会を実現する試みも始まっています。このような情報通信機器では、情報の記憶を担うメモリが数多く使用されています。コンピュータ中に用いられるメモリは、動作速度と容量により形成されるピラミッド構造で階層化されていることが良く知られています。ピラミッドの頂点に近づくほど容量は小さくなりますが、動作速度は速くなります。一方で、ピラミッドの裾野に近づくほど動作速度は遅くなりますが、容量が大きくなります。これまでピラミッドの中心領域から頂点付近までは、半導体ベースの揮発性メモリ(※1)が使用されてきました。これらの半導体メモリは、半導体技術世代の進歩に伴い、容量・速度共に増加の一途をたどってきましたが、最近になりその進歩が鈍化してきています。その原因の一つは、電源を切っても消費される待機電力(※2)の増加にあります。これは、前記の半導体メモリが揮発性であることに加え、半導体技術世代の進歩に伴いリーク電流が増加したことに因るものです。

この問題を解決するために、現在、磁石の性質を用いた不揮発性メモリの研究・開発が盛んに行われています。情報の記憶を担うのは、磁石の性質(スピン)で、情報の読み出しは磁石の磁化方向に依存して変化する抵抗変化、つまり電気的な性質(エレクトロニクス)が利用されます。このように電子が持つ電荷の性質と磁石の性質の両方を利用した技術のことをスピントロニクスと呼びます。スピントロニクスを用いた代表的なデバイスとして、磁気トンネル接合(MTJ: Magnetic tunnel junction)素子があります。MTJ 素子は、磁石の性質を有する材料で構成された二つの層で薄い絶縁層を挟んだ構造を有しており、二つの磁石の向きが互いに平行と反平行の状態において、異なる抵抗を示します。二つの抵抗状態をそれぞれ、デジタル情報の“0”と“1”に割り当てることで、ランダムアクセスメモリとして応用できます。

この MTJ 素子を用いた代表的なランダムアクセスメモリで近年その実用化が始まっている製品技術として、Spin-transfer-torque magnetoresistive random access memory (STT-MRAM) があげられます。STT-MRAM では、MTJ 素子に直接電流を流すことによって、前記の二つの強磁性体のうち、片方の強磁性体の磁石の方向を反転させることで、デジタル情報の書込みを行います。本方式は、CMOS と混載した場合にメモリセルを最も小さくできる方式であり、混載フラッシュの代替用途として積極的に研究開発が進められてきました。近年、大手の半導体企業やファブリー企業は、混載キャッシュメモリである SRAM や、混載フラッシュ(※3)代替の STT-MRAM の量産体制を整え、製品出荷を進めていることを公表しています。

一方、混載キャッシュメモリである SRAM の置き換え事業規模をさらに拡充するために、つまり、モバイル市場だけでなくサーバなどのハイエンド市場にも本技術を拡充するためには、MRAM の動作速度をナノ秒からサブナノ秒オーダーにまで高速化することが求められます。

この社会的要請に対して、東北大学では、以下に示す研究開発成果を上げてきま

した。大野英男教授(現 東北大学総長)と深見俊輔准教授(現 教授)のグループは、高速領域での動作を得意とする MTJ を用いた新しい磁気メモリセルとして、スピン軌道トルク(SOT:Spin orbit torque)磁化反転を用いた SOT 素子を研究開発し、無磁場での書き込みと読み出し動作の実証に成功しました[1]。この SOT-MRAM セルでは、STT-MRAM とは異なり、MTJ の下部に用意されたチャンネル層に電流を流すことで生じるスピン軌道トルクにより、同チャンネル層に隣接している MTJ の中の片方の強磁性体の磁石の方向だけを反転させます。

この成果を受けて、遠藤教授のグループは、SOT 素子と SOT-MRAM セルの研究開発を進め、①無磁場で高速動作を達成する SOT 素子のデバイス設計技術、② Si-CMOS との親和性確保のために必須となる 400°C 熱処理耐性、③10 年のデータ保持を確保するための高熱安定性を有する SOT 素子技術、④上記①～③を同時に達成する SOT-MRAM 向け集積プロセス技術、⑤産業界と互換性のある 300mm Si ウェハプロセス装置を用いた SOT-MRAM 向け製造技術などの各要素技術の開発に成功し、世界で初めて、300mm ウェハプロセスにて SOT 素子と SOT-MRAM セルの試作を行い、SOT 素子で 350psec の超高速書き込み性能、および、CMOS トランジスタと集積実装した SOT-MRAM セルで 10nsec の高速書き込み性能を実証してきました [2]。

しかし、これまでの SOT 技術に関する研究開発は、いずれも素子レベルや単体メモリセルレベルでの試作・動作実証に留まっており、STT-MRAM と同様に、SOT-MRAM 技術の実用化への一歩を踏み出すためには、SOT-MRAM セルを同一チップ内に集積実装したメモリアレイでの試作・動作実証に加えて、SOT-MRAM セルアレイを高速に動作させるための回路技術を開発実証することが必要でした。

○成果

以上の背景のもと、国際集積エレクトロニクス研究開発センター(以下、CIES と略称)の遠藤哲郎センター長・教授、電気通信研究所の羽生貴弘教授、夏井雅典准教授らのグループでは、内閣府 革新的研究開発推進プログラム(ImPACT)「無充電で長期間使用できる究極のエコ IT 機器の実現」(プログラム・マネージャー:佐橋政司)の大野社会実装分科会 スピントロニクス集積回路プロジェクト(研究開発責任者:遠藤哲郎)にて、高速なデータの読み書きを可能とするメモリセルを 32,768 ビット(=4 キロバイト)搭載したデュアルポート型 SOT-MRAM チップを試作し、そのメモリチップ動作実証に世界で初めて成功し、実用化に向け大きく前進する成果を得ました(図 1)。

この成果は、羽生教授・夏井准教授のグループが研究開発した SOT-MRAM セルアレイの高速動作を実現する回路技術と、上述の遠藤教授のグループが研究開発してきた SOT-MRAM にかかる材料・セル技術とその 300mm プロセス集積化・製造技術を融合させるたことで達成されたものです。

本メモリチップは、書き込みと読出しの電流経路が異なるという 3 端子型の SOT-MTJ 素子の構造を活用することにより、MTJ 素子を使用したメモリとしては世界初となるデュアルポート構成で設計し、無磁場環境下において、書き込みと読み出しの同

時並行動作(60MHz 書込み、90MHz 読出し)を実証しました。これによって、読出しと書込みを同時に実行することが可能となり、加えて、今後、更なる先端 MOS 技術を用いた SOT-MRAM を開発し SOT 素子が有するナノ秒からサブナノ秒オーダの高速動作を実現することで、広帯域のデータ処理を必要とするフィールドプログラマブルゲートアレイ(FPGA) (※5)や人工知能ハードウェア等への不揮発性メモリ技術の適用を大きく前進させることにも繋がります。

【研究成果の意義】

今回、東北大学国際集積エレクトロニクス研究開発センターならびに電気通信研究所は、内閣府 革新的研究開発推進プログラム(ImPACT) (プログラム・マネージャー:佐橋政司) 大野社会実装分科会 スピントロニクス集積回路プロジェクト(研究開発責任者:遠藤哲郎[2017年12月～2019年3月]、大野英男(現総長)[2014年10月～2017年11月])にて、スピントロニクスにおける最新技術であるスピン軌道トルクを使用した MTJ 素子技術と CMOS 技術、ならびにその集積プロセス技術を活用することにより、無磁場下での高速な読み書き(60MHz 書込み、90MHz 読出し)およびその同時処理を可能とするデュアルポート型 SOT-MRAM チップの動作実証に世界で初めて成功致しました。

これによって、低消費電力性に優れ、且つ、高速動作性に優れた SOT 素子を用いた SOT-MRAM の実用化への大きな扉を開けることができました。この不揮発性メモリ技術は、ICT 社会基盤のパラダイムシフトをもたらし、Society5.0 を実現するための基盤技術として期待されます。

本成果は、内閣府 革新的研究開発推進プログラム(ImPACT) (プログラム・マネージャー:佐橋政司)において、平成 26 年度～平成 30 年度に亘り取り組んできた大野社会実装分科会 スピントロニクス集積回路プロジェクト(研究開発責任者:遠藤哲郎[2017年12月～2019年3月]、大野英男(現総長)[2014年10月～2017年11月])の最新成果となります。

以上の成果は、2020年6月15日～18日にオンライン開催される、集積回路技術に関する世界最高峰の国際会議の一つである「VLSI シンポジウム 2020 (VLSI2020:2020 Symposia on VLSI Technology and Circuits)」で発表致します。

【用語説明】

(※1) 半導体ベースの揮発性メモリ

電子の持つ電氣的性質(電荷)を利用した情報を一時的に記憶するメモリ。大容量のメインメモリに主に使われている DRAM と高速動作が要求されるキャッシュメモリに用いられる SRAM がある。

(※2) 待機電力

集積回路が動作していないときにも消費してしまう電力の事。トランジスタの微細化に伴うリーク電流の増大により、主に揮発性メモリ部分で増加している。

(※3) 混載フラッシュメモリ

フラッシュメモリの一種でランダムアクセス性があるために集積回路中の混載メモリとして用いられる。

(※4) スタティックランダムアクセスメモリ(SRAM)

混載メモリの一種で揮発性半導体メモリ。高速動作に利点がある一方で、メモリセルのサイズが大きいため主に小容量のキャッシュメモリとして用いられる。汎用コンピュータでは、SRAM に加えて大容量で低速で動作する DRAM (ダイナミックランダムアクセスメモリ) も一緒に用いられる。

(※5) フィールドプログラマブルゲートアレイ(FPGA)

使用者が外部から情報を書き込むことによって、構造の再構成が可能な集積回路。

引用文献

[1] S. Fukami et al., "A sub-ns three-terminal spin-orbit torque induced switching device," 2016 Symposia on VLSI Technology and Circuits, June 2016.

[2] H. Honjo, et al., "First demonstration of field-free SOT-MRAM with 0.35 ns write speed and 70 thermal stability under 400°C thermal tolerance by canted SOT structure and its advanced patterning/SOT channel technology," 2019 IEEE International Electron Devices Meeting (IEDM2019), pp.657-660, December 2019.

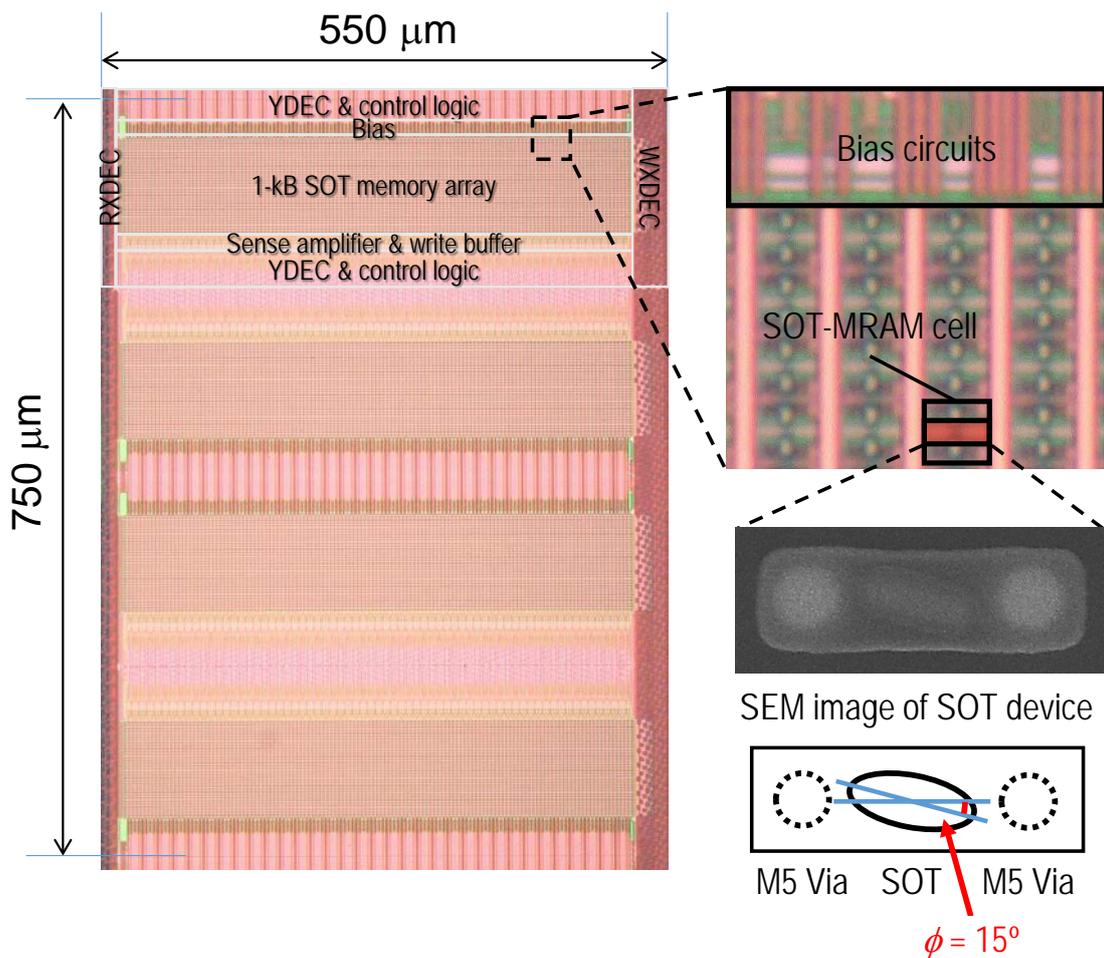


図 1 開発した 4 キロバイトのデュアルポート型 SOT-MRAM チップの写真。

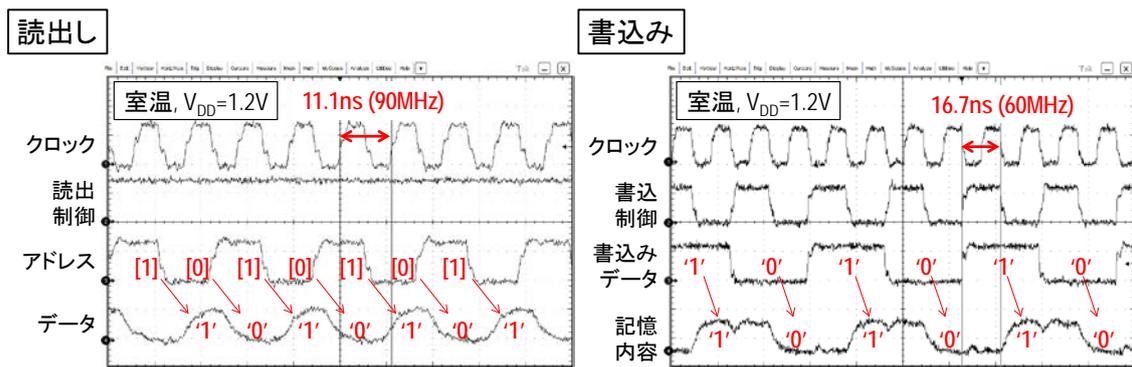


図 2 動作波形。室温・無磁場環境下において読み出し 90MHz、書込み 60MHz 動作を確認。

【論文情報】

Title	“Dual-Port Field-Free SOT-MRAM Achieving 90-MHz Read and 60-MHz Write Operations under 55-nm CMOS Technology and 1.2-V Supply Voltage”
Authors	M. Natsui, A. Tamakoshi, H. Honjo, T. Watanabe, T. Nasuno, C. Zhang, T. Tanigawa, H. Inoue, M. Niwa, T. Yoshiduka, Y. Noguchi, M. Yasuhira, Y. Ma, H. Shen, S. Fukami, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu
Conference	2020 Symposia on VLSI Technology and Circuits
DOI	国際会議なので DOI 無し