

2025 年 4 月 16 日

報道機関 各位

国立大学法人東北大学

人工神経ネットワークを超低消費電力で実現

－ 超省電力の対話型人工知能実現に期待 －

【発表のポイント】

- 人の脳のように動作する「スパイキングニューラルネットワーク^(注1)」を、アナログ CMOS 回路^(注2)で実現しました。
- 音声を聞き分ける処理に必要な電力は、スマートフォンの約 100 万分の 1 と極めて小さく、微弱なエネルギーでも十分に動作します。
- 本成果は将来的に、電池が不要なウェアラブル音声認識デバイスや、超省電力の対話型インターフェースなど、エネルギー制約の厳しい環境下でも動作する人工知能 (AI) チップの実現につながることを期待されます。

【概要】

生物の脳神経ネットワークに着想を得たスパイキングニューラルネットワーク (SNN) は、情報を発火信号 (スパイク) の時系列として表現します。スパイクが発生していないときには情報処理が行われない特性 (イベントドリブン性) を持つため、消費電力を極限まで抑えることができます。この特性は、限られた電力で高度な情報処理を実行する必要があるエッジコンピューティング^(注3)において特に有効です。

東北大学電気通信研究所の守谷哲特任助教と佐藤茂雄教授らの研究グループは、サブスレッショルド領域^(注4)で動作するアナログ CMOS 回路を用いることで、SNN の動作をスマホの 100 万分の 1 という超低消費電力で実現しました。ニューロン回路のスパイクあたりのエネルギー消費は 22.7 フェムトジュール (fJ : フェムトは 1000 兆分の 1) で、デジタル回路を用いた従来の SNN 実装と比較して 2 ～ 3 桁低い消費電力です。また、リザーバ計算^(注5)の枠組みを用いることで、本回路が音声信号認識課題に応用できることを示しました。更に、アナログ回路の応用上特に問題となる製造ばらつきや温度変化を許容した情報処理が可能であることを示しました。

本成果は 2025 年 3 月 24 日に科学誌 IEEE Transactions on Circuits and Systems I: Regular Papers に掲載されました。

【詳細な説明】

研究の背景

生物の脳神経ネットワークに着想を得たスパイキングニューラルネットワーク（SNN）では、神経細胞（ニューロン）が出力するスパイク信号を元に情報表現・情報処理が行われます。スパイクが発生していないときには情報処理が行われない特性（イベントドリブン性）を持つため、消費電力を極限まで抑えることができます。この特性を最大限に活用するためには、SNN の動作を効率的に実現する専用のハードウェアを製作する必要があります。

これらの専用ハードウェアはデジタル回路またはアナログ回路で実装されます。アナログ回路ではトランジスタをサブスレッショルド領域で動作させることで、通常のデジタル回路動作に比べ電力を 100 分の 1 以下に抑えることが可能です。しかしアナログ回路はトランジスタの製造ばらつきや温度変化の影響を顕著に受けるため、サブスレッショルド領域で動作するアナログ回路を用いて、ばらつきを許容した情報処理が実現できるかはわかっていませんでした。

今回の取り組み

本研究グループは、アナログ CMOS 回路を用いて SNN を構成し、超低消費電力で動作する SNN チップの製作に成功しました（図 1）。ニューロン回路のスパイクあたりのエネルギー消費は 22.7 fJ で、デジタル回路を用いた従来の SNN 実装と比較して 2 ～ 3 桁低い消費電力を実現しました。またこのチップを最大で 6 つ接続可能なシステムを構成し、リザバー計算の枠組みを用いて音声信号分類課題に応用しました（図 2）。“Zero” から “Nine” までの計 10 クラスの発話音声分類を行い、8 割以上の正解率を達成しました。また、生体と同様に動作モードの異なるニューロンをネットワーク内に混在させることで、正解率が向上することを示しました。

さらに本研究では、アナログ回路の応用上問題となる製造ばらつきと温度変化を考慮し、音声信号分類課題のシミュレーションを行いました。その結果、ばらつきを考慮した条件で再学習を行うことにより、素子サイズのばらつきや温度変化に対して性能が維持されることを示しました。この結果は、本提案システムとリザバー計算との技術的親和性が高いことを示唆するものです。

今後の展開

本研究成果は、バッテリー不要またはバッテリー交換が制限される環境でも動作する、超低消費電力な情報処理デバイスへの応用が期待されます。更に、アナログ回路の動作に顕著に影響を及ぼすばらつきを許容・活用した新しいコンピューティング手法の可能性が示されました。

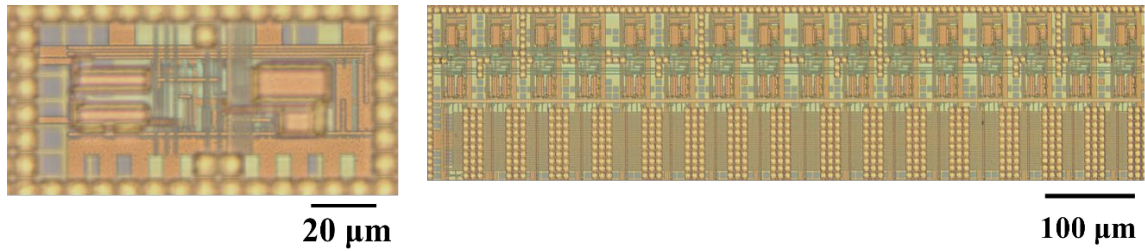


図 1. アナログスパイキングニューロン回路（左）とアナログスパイキングニューラルネットワーク回路（右）の顕微鏡写真。Rohm 0.18 μm プロセスを用いて設計・製作した。

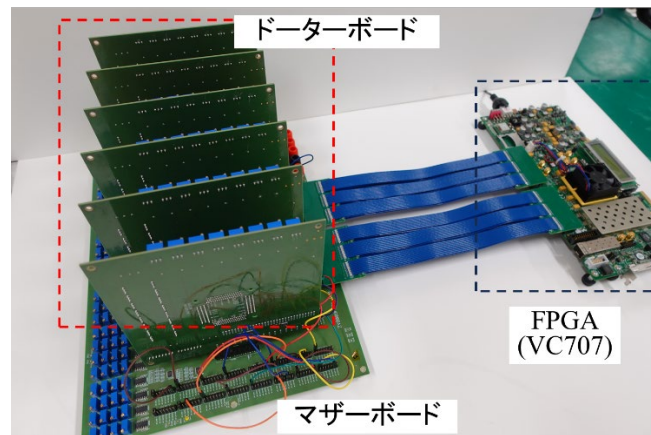


図 2. リザーバ計算システム。マザーボードと最大 6 枚のドーターボード、及び制御用の FPGA^(注 6) から構成される。

【謝辞】

本研究の一部は、科学技術振興機構（JST）戦略的創造研究推進事業「スピンエッジコンピューティングハードウェア基盤」（JPMJCR19K3）、日本学術振興会 科学研究費助成事業（JP20H00596、JP22H03657、JP22KK0177、22K19821、JP23K16958、JP23H03489、JP24H02332）、東北大学電気通信研究所共同プロジェクト研究の下で行われました。本論文は「東北大学 2024 年度オープンアクセス推進のための APC 支援事業」により Open Access となっています。

【用語説明】

注1. スパイキングニューラルネットワーク

生物の神経細胞の発火を模倣し、神経細胞の内部状態である膜電位が一定のしきい値を超えたときのみスパイクを発生・伝送することで情報表現・情報処理を行う。

注2. アナログ CMOS (Complementary Metal Oxide Semiconductor : 相補

型金属酸化膜半導体)回路

電子が抜けた孔（ホール）が電気を運ぶ p 型と電子が運ぶ n 型の電界効果型 MOS トランジスタを相補的に利用し、連続的に変化する電気信号を取り扱う回路方式。

注3. エッジコンピューティング

従来はデータセンタやクラウドで行っていた処理を、データを収集する端末（エッジ）や端末の近くに配置したコンピュータなど、データの発生源の近くで処理すること。

注4. サブスレッショルド領域

MOS トランジスタのゲート電圧がしきい値電圧以下の領域のこと。電流がゲート電圧に対し指数関数的に変化する。

注5. リザーバー計算

時系列信号処理に適したニューラルネットワークの一種。少ないデータ量で学習が可能で、また学習のコストが低いという特徴をもつ。

注6. FPGA（Field Programmable Gate Array）

回路構成を自由にプログラム可能な、論理回路を多数搭載した集積回路。

【論文情報】

タイトル : Analog VLSI implementation of subthreshold spiking neural networks and its application to reservoir computing

著者 : Satoshi Moriya*, Masaya Ishikawa, Satoshi Ono, Hideaki Yamamoto, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas, and Shigeo Sato

*責任著者 : 東北大学電気通信研究所 特任助教 守谷哲

掲載誌 : IEEE Transactions on Circuits and Systems I: Regular Papers

DOI : <https://doi.org/10.1109/TCSI.2025.3550876>

URL : <https://ieeexplore.ieee.org/document/10937735>

【問い合わせ先】

（研究に関すること）

東北大学電気通信研究所

特任助教 守谷哲

TEL: 022-217-6102

Email: satoshi.moriya.e6@tohoku.ac.jp

（報道に関すること）

東北大学電気通信研究所

総務係

TEL: 022-217-5420

Email: riec-somu@grp.tohoku.ac.jp