

2026年6月2日

報道機関 各位

国立大学法人東北大学

世界初、半導体集積スピントロニクス P ビット実証 —日米の共同研究で確率論的コンピューター開発に新しい景色—

【発表のポイント】

- AI 計算の省エネ化を可能とする、スピントロニクス^(注1) 確率論的(P)コンピューター^(注2) が注目されています。
- これまでのスピン素子と半導体回路をケーブルで接続する形態とは異なり、日米の半導体集積プロセスを組み合わせることで P コンピューターの基本構成要素である確率(P)ビット^(注2) を試作しその動作を実証しました。
- 当技術を発展させることで大規模化が可能となることから、P コンピューターの開発に新しい景色が開かれたと言えます。

【概要】

AI の進展に伴い、複雑な計算を超省エネで処理できるコンピューターの開発の重要性が増しています。磁石の N 極/S 極の向きの確率的なゆらぎを利用するスピントロニクス P コンピューターはその有望技術として注目されています。これまで単体のスピン素子と制御回路をケーブルで接続した形態で 100 ビット程度の小規模な原理実証が行われてきました。一方で社会実装に向けては大規模化が要求され、そのためには半導体集積プロセスの利用が不可欠です。

今回、東北大学と米国国立標準技術研究所(NIST)の研究チームは、日米の半導体集積プロセスを組み合わせることでシリコン基板上で P コンピューターの基本構成要素である P ビット回路を試作しました。そして試作した回路を測定し、P ビットとして期待される入出力特性を確認しました。今回大規模集積化に向けた基本要素技術が構築されたことで、100 万ビット程度までの大規模化が射程に入りました。すなわち本成果によってスピントロニクス P コンピューターの社会実装に向けた開発に新しい景色が開かれたと言えます。

本成果は 2026 年 5 月 26 日に、IEEE Electron Device Letters 誌のウェブサイトにて速報版が公開されました。

【詳細な説明】

研究の背景

AI 計算や機械学習、量子多体計算など、膨大な数の可能性を探索する問題が我々の身の回りで増えています。これらの問題を解くコンピューターには高い並列性が要求され、この点において従来の決定論的に情報を 0 か 1 で表すビットを用いて逐次的に計算を行う決定論的コンピューターは必ずしも効率的ではありません。そこで注目を集めているのが「確率論的 (Probabilistic: P) コンピューター」です。P コンピューターは物理状態の確率的なゆらぎをハードウェアレベルで利用して確率的に 0 または 1 を出力する「確率 (Probabilistic: P) ビット」で構成されます。GPU 等の汎用コンピューターと比べて多数の状態を数桁速く探索でき、次世代計算基盤として期待されています。

この P コンピューターの実現手段として、スピントロニクス技術が有望視され、活発な研究開発が行われています。電氣的な制御が可能な磁石素子を用いるスピントロニクス技術に基づき、N 極/S 極の確率的なゆらぎを利用することで P ビットを構成できます。2019 年にこのスピントロニクス P ビットと制御用のマイコンをケーブルで接続した 8 ビットの P コンピューターの基本動作が東北大学と米国パデュー大学の共同研究チームにより発表されました (参考: 2019 年 9 月 19 日プレスリリース「[室温動作スピントロニクス素子を用いて量子アニーリングマシンの機能を実現](#)」)。これを契機に世界各地で研究開発が活性化し、現在では 100 ビット程度のシステムの報告もなされています。

一方で社会実装に向けては 1000 ビットを超えるような大規模システムが求められます。そのためには高度に発達した半導体集積回路製造プロセスを用いて単一のシリコン基板上にスピン素子と制御回路を集積する必要があります。

今回の取り組み

今回、東北大学電気通信研究所のユン・ジュヨン博士研究員 (当時)、ヌノ・カソイロ博士研究員 (当時)、金井駿准教授、深見俊輔教授、米国国立標準技術研究所(NIST)のウィリアム・アンドリュー・ボーダーズ博士らからなる日米合同研究チームは、日米の半導体集積回路製造プロセスを組み合わせる P コンピューターの基本構成要素である P ビットをシリコン基板上に試作し、その基本動作を実証しました。

図 1(a)はシリコン基板上に形成された様々なテストチップの写真、図 1(b)はスピントロニクス P ビットの断面模式図です。トランジスタと下層の配線を米国 SkyWater Technology 社の 130 nm CMOS プロセスを用いて作製した後、東北大学電気通信研究所附属ナノ・スピン実験施設に整備されている微細スピントロニクス素子作製プロセスを用いて確率的に状態が揺らぐ素子と上部配線を形成することで、スピントロニクス P ビットが形成されました。図 1(c)・(d)はそれぞれ、確率的に状態が揺らぐように設計されたスピン素子の断面・平面電

子顕微鏡像です。

図 2 に P ビット回路と典型的な測定結果が示されています。P ビットとして求められる、(i) 時間に対して出力電圧(V_{out})がゆらぐ(時間領域特性)、(ii) 出力電圧の時間平均を入力電圧(V_{bias})で制御できる(時間平均特性)、が実現されていることが確認できます。これは半導体集積プロセスを用いて単一基板上に製造されたスピントロニクス P ビットの動作実証の世界初の報告です。

今後の展開

半導体集積回路は 1971 年に初めて商用化されて以降、指数関数的な発展を遂げ、今日では 10 億~1000 億個程度のトランジスタが単一のチップに搭載されています。また不揮発性スピントロニクス素子を用いた磁気抵抗ランダムアクセスメモリ(MRAM)の社会実装も進展しており、100 万 (1 メガ) ビットから 10 億 (1 ギガ) ビット程度の製品が商用化されています。

今回、半導体集積回路製造プロセスを用いて作製されたスピントロニクス P ビットの動作が実証されたことで、これまで手作業ベースで数 100 ビットに留まっていたスピントロニクス P コンピューターの研究開発にも、100 万ビット超に向けた新しい景色が開かれました。今後、大規模化に向けて素子・回路技術をより一層発展させ、集積する P ビットの数を増やすことで、研究開発が社会実装に向けて進展していくものと期待されます。

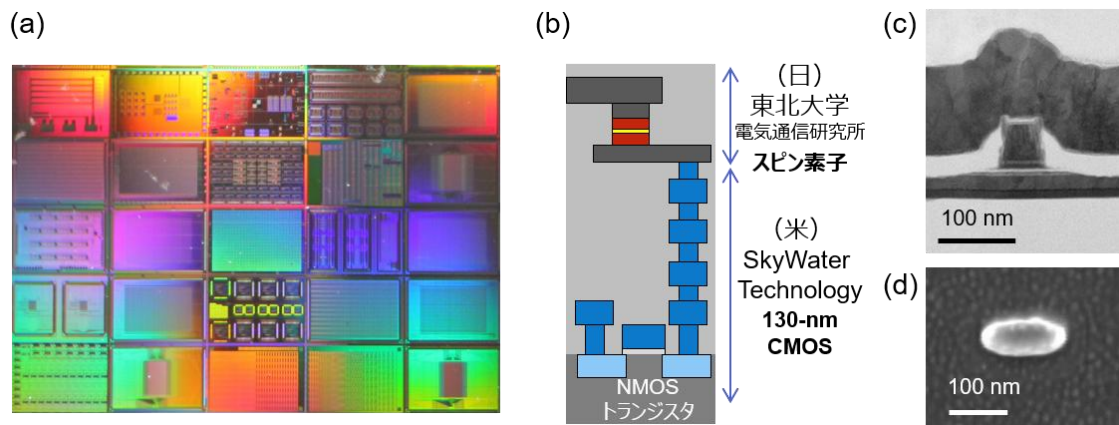


図 1. (a)半導体集積回路製造プロセスを用いてシリコン基板上に形成された検証チップの写真。(b)スピントロニクス P ビットの断面構造の模式図。トランジスタと下層の配線を米国 SkyWater Technology 社で作製後、東北大学電気通信研究所附属ナノ・スピン実験施設にてスピン素子を形成。(c,d) 確率的に状態がゆらぐように設計されたスピン素子の断面,平面電子顕微鏡像。

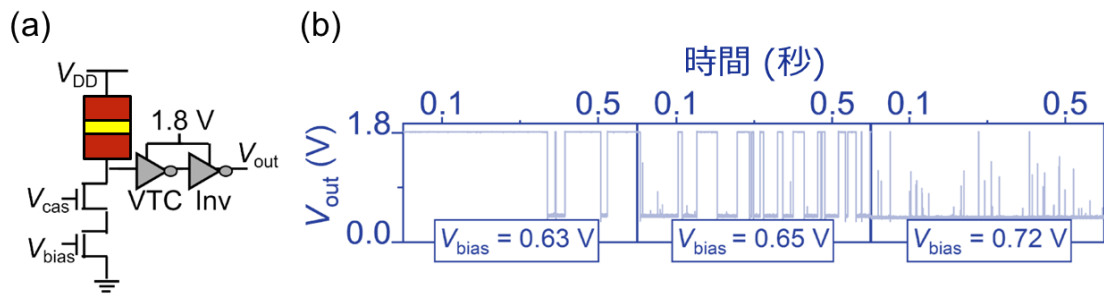


図 2. (a) 本研究で用いたスピントロニクス P ビットの回路図。(b) 測定された P ビットの出力電圧 (V_{out}) の時間変化とその入力電圧 (V_{bias}) 依存性。

【謝辞】

本研究は、日本国側においては科学技術振興機構(JST)先端国際共同研究推進事業(ASPIRE)(JPMJAP2322)、文部科学省次世代 X-NICS 半導体創生拠点形成事業(JPJ011438)などの支援の下、東北大学電気通信研究所附属ナノ・スピン実験施設の森田伊織技術職員らの協力を得て行われました。一方、米国側においては、オープンソースの回路設計ツールを配布して CMOS 半導体集積回路上的での革新的技術の開発を促進することを目的として制度設計され、米国国立標準技術研究所(NIST)の主導で進められている Nanotechnology Xccelerator Program の支援の下で行われました。

【用語説明】

注 1. スピントロニクス、MRAM

スピントロニクスは、物質中の電子が持つ、電気的な性質(電荷)と磁気的な性質(スピン)の両者が介在することで発現する物理現象を理解して工学的な応用を目指す学術分野。磁気抵抗ランダムアクセスメモリ(Magnetoresistive Random Access Memory: MRAM)は磁性体の N 極/S 極の向きをデジタル情報の(0,1)の担い手として電氣的に制御して情報を記憶する不揮発性メモリの一種であり、スピントロニクス分野の代表的な応用例。

注 2. 確率ビット(P ビット)、確率論的コンピューター(P コンピューター)

確率ビット(P ビット)とは、短時間で 0 と 1 の信号を確率的に出力し、かつ出力の割合を外部入力によって制御することでビット間を電氣的に相関させられる情報処理の基本単位。確率論的コンピューター(P コンピューター)は P ビットを用いて演算を行うコンピューター。P ビットは

0 と 1 の重ね合わせ状態を持ち、かつビット間でもつれあい(相関状態)を形成できる量子ビット(Q ビット)とは本質的に異なるが一定の類似性があり、P コンピューターは量子コンピューターと並んで新概念コンピューターの一つとして注目されている。1981年にリチャード・ファインマンが行った講演において、量子コンピューターと並んで、確率的な現象を効率的に計算する仕組みとして紹介されている。

【論文情報】

タイトル : 130-nm CMOS-integrated superparamagnetic tunnel junction-based p-bit

著者 : Ju-Young Yoon*, Nuno Caçoilo*, Advait Madhavan, Jabez J. McClelland, Shun Kanai, Hideo Ohno, Shunsuke Fukami**, and William A. Borders**

* 共同筆頭著者

** 共同責任著者

掲載誌 : IEEE Electron Device Letters

DOI : 10.1109/LED.2026.3696800

URL : <https://ieeexplore.ieee.org/document/11535457>

【問い合わせ先】

(研究に関すること)

東北大学電気通信研究所

教授 深見 俊輔

TEL: 022-217-5555

Email: s-fukami@tohoku.ac.jp

(兼)東北大学大学院工学研究科電子工学専攻

(兼)東北大学先端スピントロニクス研究開発センター (CSIS)

(兼)東北大学国際集積エレクトロニクス研究開発センター (CIES)

(兼)東北大学材料科学高等研究所 (WPI-AIMR)

(兼)公益財団法人稲盛科学研究機構 (InaRIS)

(報道に関すること)

東北大学電気通信研究所 広報室

電話 022-217-5427

E-mail riec-kohoshitsu@grp.tohoku.ac.jp