

平成 22 年 7 月 12 日

報道関係者各位

国立大学法人 東北大学

論理集積回路用の高性能垂直磁化 TMR 素子の開発に成功

不揮発性スピントロニクス素子と半導体論理集積回路の融合により
超低消費電力システムオンチップの実現へ

【概要】国立大学法人東北大学(総長:井上明久/以下、東北大学)省エネルギー・スピントロニクス集積化システムセンターおよび電気通信研究所の池田正二准教授、大野英男教授のグループは株式会社日立製作所(執行役社長:中西 宏明/以下、日立)との産学連携研究により、半導体論理集積回路を不揮発化する高性能垂直磁化 TMR 素子を開発しました。開発した素子は、絶縁体・磁性電極界面の大きな垂直磁気異方性を利用することにより、(1)素子寸法 40nm における高い不揮発性、(2)124%の高いトンネル磁気抵抗比、(3)49 μ A の低い書き込み電流、(4)半導体論理集積回路の標準製造工程で必要とされる 350 $^{\circ}$ C の熱処理耐性、という論理集積回路に用いるために必須の 4 項目を世界で初めて同時に満足しました。また、新しく開発した TMR 素子では、これらの必須項目を(5)貴金属材料を用いずに実現しました。資源戦略上およびコスト上大きなアドバンテージとなります。なお、素子寸法 40nm はメモリ換算で 8Gbit のメモリ容量に相当します。この TMR 素子を用いて半導体論理集積回路を不揮発にすることにより、機器の高性能化・省エネルギー制御を司るシステムオンチップ論理集積回路の超低消費電力化に道が拓かれました。

【背景】

トンネル磁気抵抗(TMR)素子*1は、磁性電極(磁石)の磁化の向き(N極S極の向き)により、高抵抗・低抵抗が切り替わる不揮発性スピントロニクス素子です。1ナノ秒程度(ナノは10億分の1)の時間で書き換えることができ、書き換え可能回数が事実上無限回であって、微細化や低電圧動作に適することから、論理集積回路に用いる不揮発性メモリとして注目を浴びてきました。

システムオンチップ(SoC)*2やプロセッサなどの論理集積回路には多数のメモリ(キャッシュメモリ)が搭載されていますが、最先端の極微細トランジスタに付随するリーク電流のため年々待機電力が増大することが問題となっています。また集積回路内の演算部とメモリ部が分かれているため、配線の充放電に伴う遅延と電力消費が性能を制限してきました。

不揮発性メモリ素子を集積回路の配線層に組み入れた不揮発性論理集積回路*3ができると、(1)待機電力が必要なくなり、(2)集積回路面積が大きく減少するため、動作時の配線による遅延と電力消費が大きく減少する、の2点が期待されます。この結果、パーソナルコンピューターや携帯電話のみならず様々な電子機器の高性能化、および低消費電力化が可能となります。

しかし、論理集積回路に用いる不揮発性メモリ素子には、高速書き換え、無限大の書き換え回数、微細化、低電圧動作に加え、十分な抵抗変化、低い書き換え電流、350 $^{\circ}$ Cを超える熱処理耐性、低いコスト、が要求されま

す。TMR素子は、次世代不揮発性素子として期待されてきましたが、これらの要求性能、特に、

1. 高い不揮発性をもたらす高い熱擾乱耐性*4
2. トランジスタのON電流以下の低い磁化反転書き込み電流
3. 大きな出力信号を得るための高いTMR比(100%以上)
4. 標準半導体製造工程で必要とされる350 $^{\circ}$ Cの高い熱処理温度耐性

の4項目を高いレベルで満足する高性能素子の開発が急務となっていました(表1の従来素子の欄を参照)。

【研究成果】

東北大学と日立の研究グループでは、トンネル障壁となる絶縁体と磁性電極の界面に存在する垂直磁気異方性*5を利用することによって、高性能な垂直磁化TMR素子の開発に成功しました。

まず、TMR素子材料として、極めて高いTMR比を示す組合せである、コバルト鉄ボロン磁性電極と酸化マグ

ネシウム障壁層を採用しました。通常、この組合せでは磁性電極の磁化は膜面に対して平行方向になります。

次に、コバルト鉄ボロン磁性電極と酸化マグネシウムの膜界面において垂直磁気異方性成分があることに着目し研究を進めました。この結果、この磁性電極と絶縁膜の間に生じる磁気異方性を素子に使うことができるほど大きくすることが可能であることを見出しました。

その後、コバルト鉄ボロン強磁性電極層の膜厚を最適化することにより、コバルト鉄ボロンの磁化を垂直方向に揃えることに成功しました。

この技術開発により、磁気異方性は大きく増大し、直径 40nm に寸法を微細化した TMR 素子においても十分に高い熱擾乱耐性指数(=43)を確保することが出来ました。また、磁化反転に必要な電流も小さくなり 49 μ A で磁化反転することを確認しました。さらに、これまでの垂直磁化 TMR 素子では実現できていなかった、124%の高い TMR 比を、熱処理温度 350 $^{\circ}$ Cにおいて実現しました。これは、半導体論理集積回路製造プロセスで必須の熱処理工程後も、高い TMR 比を有する素子が得られることを示しています。また、従来の TMR 素子で用いられていた貴金属材料を用いていないため、資源戦略上およびコスト上大きなアドバンテージを有しています。

なお、直径 40nm の素子寸法は、開発中の縦型トランジスタを用いたメモリに換算して 8Gbit のメモリ容量を実現できるサイズです。

【研究成果のまとめ】

1. (1)素子寸法 40nm における高い不揮発性、(2)124%の高いトンネル磁気抵抗比、(3)49 μ A の低いスイッチング電流、(4)標準半導体製造工程で必要とされる 350 $^{\circ}$ Cの熱処理耐性 の4項目を同時に満たす TMR 素子の開発に成功しました。
2. 従来の TMR 素子で用いられていた貴金属材料を、新たに開発した TMR 素子では用いていないため、資源戦略上およびコスト上大きなアドバンテージを有しています。
3. TMR 素子を用いて論理集積回路を不揮発にすることにより、機器を制御し省エネルギー動作をさせる頭脳であるシステムオンチップ (SoC) 論理集積回路の超低消費電力実現への道が拓かれました。

なお、本成果は、日本学術振興会の最先端研究開発支援プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発」および文部科学省「次世代 IT 基盤構築のための研究開発」において実施されたものです。

本成果は、2010年7月11日18:00(英国時間)に英国科学雑誌「Nature Materials」にオンラインで掲載されました。

【用語説明】

*1 トンネル磁気抵抗 (TMR) 素子

磁性電極／障壁層／磁性電極の3層を基本構造とする微小素子で、それぞれ厚さが数ナノメートルの非常に薄い層によって形成されています。2つの磁性電極の磁化が互いに平行のとき TMR 素子の抵抗は低くなり、反平行のとき TMR 素子の抵抗は高くなる性質があり、この抵抗変化率を TMR 比と呼びます。TMR 比は出力信号の大きさを決める指標になります。

*2 システムオンチップ (SoC)

1つのチップ上に複数の機能「システム」を集積する技術および設計手法を指す言葉で、従来の複数の単機能集積回路を基板に実装した場合と比較して、占有面積の削減や高速化などのメリットがあります。

*3 不揮発性論理集積回路

従来の集積回路では 演算部分と記憶部分が分離して配置されているため、データ転送のための電力消費や遅延などが起こります。一方、不揮発性集積回路では、記憶機能を持った TMR 素子を演算部分に分散して配置するため、データ転送の遅延をなくすことができます。また、TMR 素子が持つ不揮発性を利用するため記憶保持には電力を必要とせず、電源を切っても記憶データを保持できます。このため、電源を切るときも集積回路の外部にあるハードディスクなどにデータを退避する必要がなくなります。電源を再度投入すれば、ハードディスクからデータを呼び出す必要がなく瞬時に演算を開始できるなどの特長があります。

*4 熱擾乱耐性指数 ($E/k_B T$)

E は記録層の磁気エネルギーを、 $k_B T$ は熱エネルギーを表しています。TMR 素子では、記録層の磁化方向が誤って変化すると保持していた情報を失ってしまいます。周囲の温度が室温であっても、室温の熱エネルギーによって磁化は揺らいでおり、ある確率で磁化方向が変化してしまいます。これに対して、磁気エネルギーは、磁化を一定の方向に止めるためのエネルギーです。熱擾乱耐性指数は周囲の熱エネルギーに対して、記録層の磁気エネルギーがどれだけ大きいかを比で表しており、この値が大きいほど記録保持時間が長くなります。一般的に、1つの TMR 素子が 10年間記録を保持し続けるためには、熱擾乱耐性指数は 40以上の値が必要であり、TMR 素子が複数個集まると、さらに大きな値が必要になります。

*5 磁気異方性

強磁性体を持つエネルギーが、その磁化の向きによって異なる性質のことを磁気異方性と言います。大きな磁気異方性により、大きな熱擾乱耐性が得られます。大きな磁気異方性を有する物質に垂直磁気異方性を示すものが多いことから、微細素子には垂直磁化 TMR 素子が有利となると考えられています。

お問い合わせ先

東北大学 省エネルギー・スピントロニクス集積化システムセンター 池田正二 准教授

東北大学 省エネルギー・スピントロニクス集積化システムセンター 支援室 門脇豊 室長

TEL (022)217-6116

E-mail: sikeda@riec.tohoku.ac.jp (◎を@に置き換えてください)

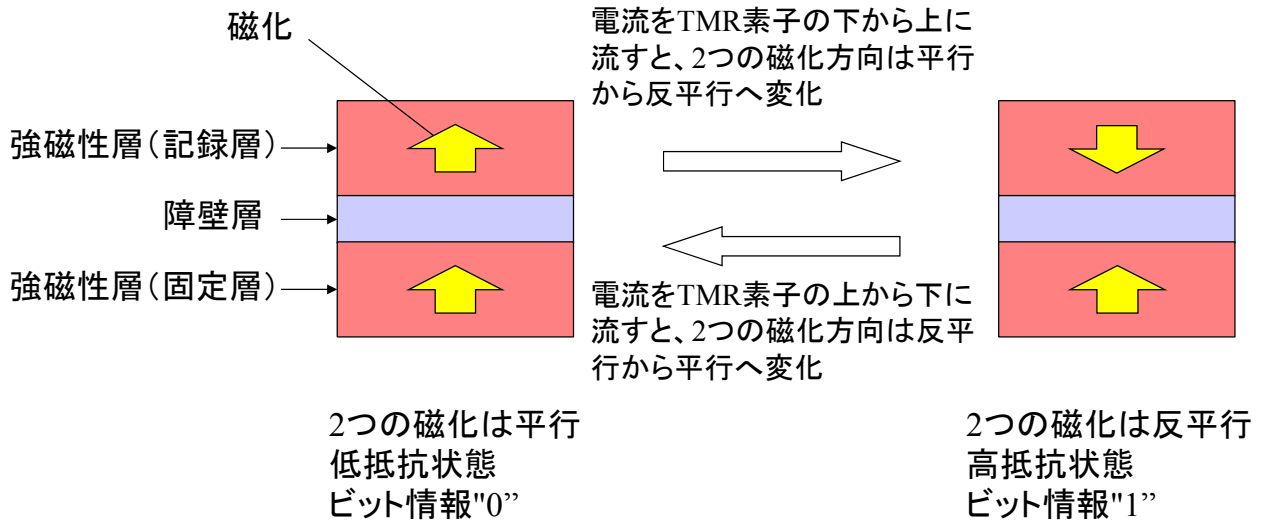


図1 垂直磁化 TMR 素子の基本構造と、2つの磁性電極の磁化状態と抵抗の関係を表した模式図です。図では、例として低抵抗状態をビット情報"0"、高抵抗状態をビット情報"1"に割り当てています。また、書込みたいビット情報に合せた向きに電流を印加することによって記録層の磁化が反転し TMR 素子に情報が書込まれます。

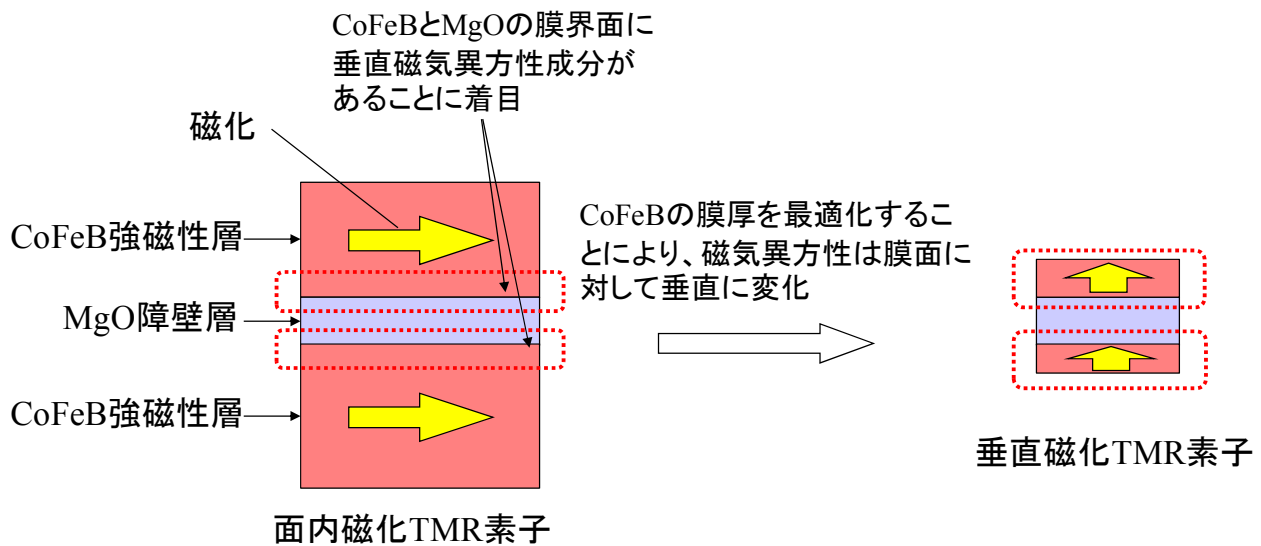


図2 今回の成果の最大の特長は、コバルト鉄ボロン (CoFeB) / 酸化マグネシウム (MgO) / コバルト鉄ボロン (CoFeB) の構造を基本構造とする面内磁化 TMR 素子において、コバルト鉄ボロン と 酸化マグネシウム の膜界面にある垂直磁気異方性成分を大きくすることにより、高い熱擾乱耐性を有する垂直磁化 TMR 素子を実現した点にあります。この結果、(1)素子寸法 40nm における高い不揮発性、(2) 124%の高い TMR 比、(3) 49 μ A の低い書込み電流、(4) 標準半導体製造工程で必要とされる 350 $^{\circ}$ C の熱処理耐性、という論理集積回路に用いるための 4 項目を初めて同時に満足しました。

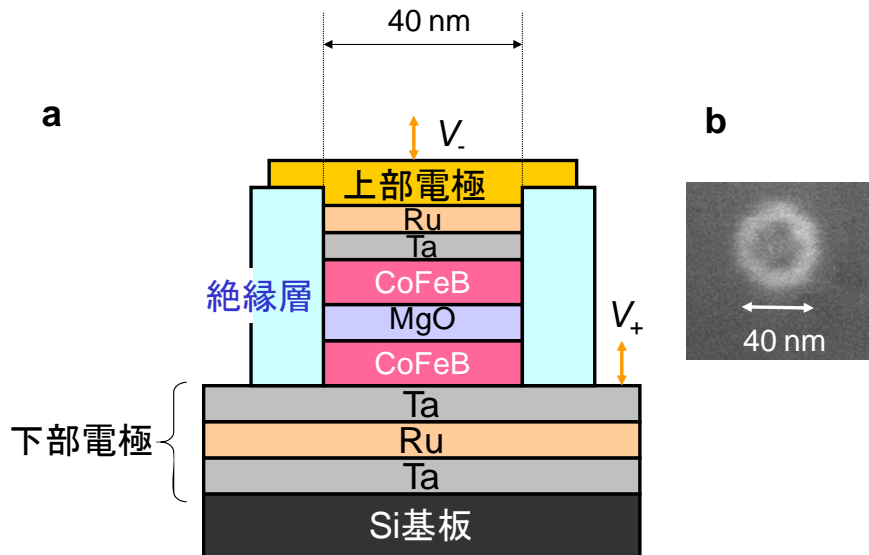


図3 (a)TMR 素子構造の断面図を示しています。障壁層である酸化マグネシウム(MgO)を2つの磁性電極のコバルト鉄ボロン(CoFeB)で挟んだ3層が基本構造であり、その上下に電極層があります。上側のコバルト鉄ボロンが記録層であり、下側のコバルト鉄ボロンが固定層です。
 (b)TMR 素子の接合部の走査型電子顕微鏡(SEM)写真です。この写真は TMR 素子作製工程の途中であり、この上に上部電極を作製します。

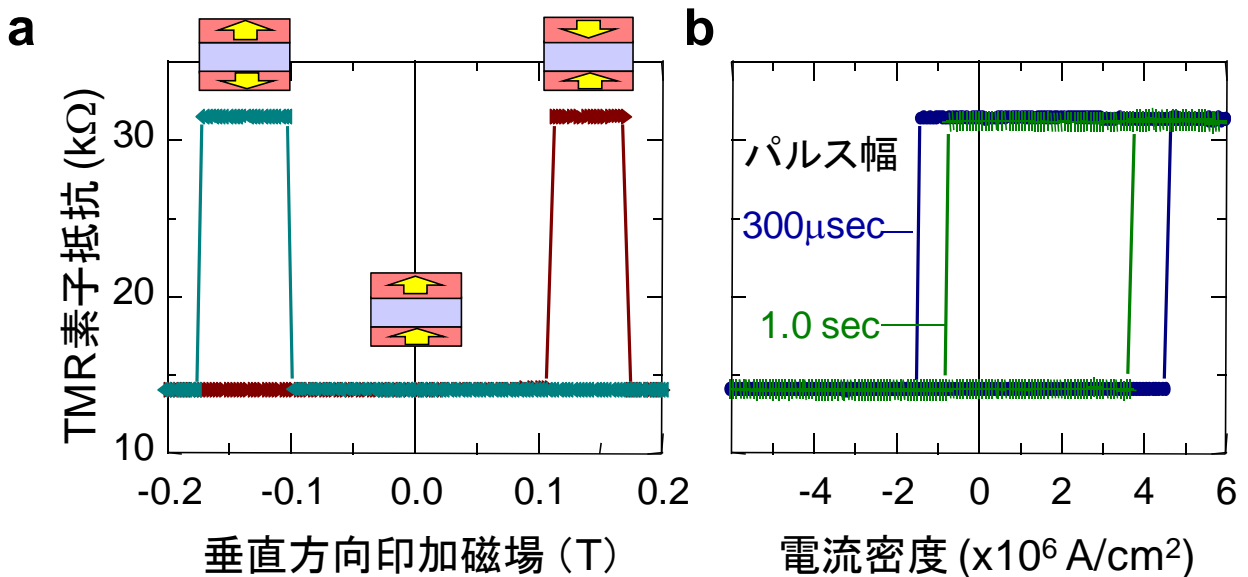


図4 (a)TMR 素子に垂直方向の磁場を印加した場合の TMR 素子抵抗特性を示しています。2つの磁性電極の磁化が平行であるとき低抵抗を、反平行であるとき高抵抗を示していることがわかります。図の実線は、記録層と固定層の2つの磁化方向が異なる磁場の大きさで磁化反転している様子を示しています。図の破線は、記録層の磁化が磁場によって磁化反転している様子を示しています。
 (b)TMR 素子に電流パルスを印加した場合の TMR 素子抵抗特性を示しています。正方向に電流を印加するとある一定の電流値を超えたところで記録層の磁化が反転し高抵抗に変化しています。負方向に電流を印加すると、ある電流値を超えたところで低抵抗に変化しています。

	高 TMR 比	低電流書込み	微細素子の熱擾乱耐性	熱処理耐性(350°C)
従来面内磁化 TMR 素子	○	○	×	○
従来垂直磁化 TMR 素子①	○	×	○	×
従来垂直磁化 TMR 素子②	×	○	○	×
本研究で開発され た垂直磁化 TMR 素子	○	○	○	○

表1 従来の面内磁化 TMR 素子では微細化したとき熱擾乱耐性が小さくなり、記録保持時間が短くなってしまいます。一方、垂直磁化 TMR 素子では高い TMR 比が実現できない、熱処理耐性が得られないなどの課題がありました。今回開発に成功した TMR 素子では、従来の面内磁化 TMR 素子と垂直磁化 TMR 素子の利点を両方備えています。