



平成 27 年 9 月 25 日

報道機関 各位

東北大学原子分子材料科学高等研究機構 (AIMR)
東北大学流体科学研究所 (IFS)

超低損傷・低温中性粒子ビーム酸化プロセス技術による 高品質 $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ ゲートスタック構造の実現

【概要】

東北大学原子分子材料科学高等研究機構 (AIMR) および流体科学研究所 (IFS) の寒川誠二教授のグループは、独自技術である超低損傷・中性粒子ビーム技術を用いて「界面準位^(*)が $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 以下の高品質な界面を持った $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ ゲートスタック構造」を作製することに成功しました。

半導体産業においては世界的な競争のもと、新材料の導入や微細化研究が盛んです。特に MOS トランジスタは半導体産業の最大の牽引車であり、国際競争を勝ち抜くために、その高性能化の研究は極めて重要です。集積回路の高性能化には回路の微細化が不可欠ですが、今まで、微細化した回路素子からのリーク電流^(*)による発熱が大きくなりすぎて「技術世代 22 ナノメートル」以降の超高集積回路の実現は難しいとされてきました。この壁を打ち破るため、チャンネル材料^(*)にゲルマニウムを用いた MOS トランジスタの開発が精力的に進められています。ゲルマニウム MOS トランジスタにおける製造上および特性上の最大の課題は、「高誘電率膜およびゲルマニウムゲート酸化膜積層 (スタック) 構造形成時における、ゲルマニウムとゲルマニウム酸化膜の界面準位密度をいかに下げられるか」という点にあります。すでに本研究グループは「中性粒子ビーム^(*)酸化を用いて 3 次元シリコン構造を無損傷に低温酸化することで、起立型 MOS トランジスタにおける電子の移動度を向上させられる」という研究成果を 2005 年の IEDM (国際電子デバイス会議) において発表しています。

今回、本研究グループは、ゲルマニウム基板表面の自然酸化膜を除去したのち、アルミニウム蒸着によってカバーされた高品質ゲルマニウム表面に酸素中性粒子ビームによる「 300°C 以下の低温酸化で均一超低損傷な AlO_x (1.5 nm)」と「 GeO_2 比率が 20~30% 程度の高品質ゲルマニウム酸化膜 (1 nm)」を同時に形成することで、MOS キャパシタ構造試作を行い、電氣的に界面準位を測定しました。その結果、「 $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 以下という極めて低い界面準位密度の実現」に成功しました。これにより、今後ゲルマニウム MOS トランジスタの開発が大きく前進することが期待されます。

本研究成果は、2015 年 9 月 27 日から札幌で開催される International Conference on Solid State Devices and Materials (SSDM) で発表されます。

【本件に関する問い合わせ先】

(研究内容について)

東北大学原子分子材料科学高等研究機構(AIMR)・流体科学研究所(IFS) 教授 寒川誠二 TEL: 022-217-5240

(報道担当)

東北大学原子分子材料科学高等研究機構(AIMR) 広報・アウトリーチオフィス 清水修 TEL: 022-217-6146

【研究の背景】

半導体産業においては世界的な競争のもと、新材料の導入や微細化研究が盛んに行われています。現在、特に MOS トランジスタが半導体産業の最大の牽引車となっており、国際競争を勝ち抜くために、その高性能化の研究は極めて重要です。集積回路の高性能化には回路の微細化が不可欠ですが、現在の 2 次元平面的な広がりが必要とする素子技術では、微細化した回路素子からのリーク電流による発熱が大きくなりすぎて、「技術世代 22 ナノメートル」以降の超高集積回路の実現は難しいとされてきました。

この壁を打ち破るため、チャンネル材料にゲルマニウムを用いた MOS トランジスタの開発が精力的に進められています。そのゲルマニウム MOS トランジスタにおける製造上および特性上の最大の課題は「ゲート酸化膜形成時における、ゲルマニウムおよびゲルマニウム酸化膜の界面準位をいかに下げるか」という点にあります。ゲルマニウムの自然酸化物 (GeO_x : Ge サブオキシド) は熱的および化学的に不安定であることが知られています。また、界面において形成された Ge 自然酸化物は High-k 絶縁体膜中および表面に拡散する傾向にあることも知られています。そのため、高移動度 Ge MOSFET の実現のためには、「High-k 膜とゲルマニウムの界面に形成されるゲルマニウム自然酸化膜を極力排除して、化学的に安定な GeO_2 の比率の高いゲルマニウム酸化膜スタック構造および界面を形成すること」が重要となります。

【研究の内容】

今回、本研究グループは、自然酸化膜を除去したゲルマニウム基板表面上に、金属 Al を蒸着したゲルマニウムを介して、酸素中性粒子ビームによる「 300°C 以下の低温酸化で均一で超低損傷な AlO_x (1.5 nm)」と「 GeO_2 比率が 30%以上の高品質ゲルマニウム酸化膜 (1 nm)」を同時に形成することで MOS キャパシタ構造の試作を行いました。その結果、低温酸化にもかかわらず「界面準位 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下」という低い値を得ることに成功しました。これは、自然酸化膜が除去された状態で蒸着された Al を介して Al/Ge 構造を中性粒子ビームにより 300°C 以下で酸化することで、「低温で緻密でかつ GeO_2 比率が 20~30%程度の高品質ゲルマニウム酸化膜」を原子層レベルで形成できるためです。この手法の他の利点としては、従来の原子層堆積技術 (ALD) による水蒸気を用いた AlO_x 膜の形成と比較して、原理的には Al 成膜時にはゲルマニウム自然酸化膜の形成が行われなことが挙げられます。従来、ゲルマニウムはシリコンに比べ熱プロセスやプラズマプロセスへの耐性が低く、膜厚の制御や低界面準位を実現することが極めて難しかったため、「ゲルマニウムを用いた高移動度 MOS トランジスタの実現」の大きな障害になっておりました。しかし、中性粒子ビーム酸化を用いて高品質極薄ゲルマニウム酸化膜が実現できたことから、今後ゲルマニウム MOS トランジスタの開発が大きく前進することが期待されます。

現在の半導体業界を取り巻く状況として、「如何にしてプロセスダメージ^(*)を克服するか、如何にして低温プロセスを実現するか」という非常に大きな問題があります。これは、半導体 LSI の集積化が進み LSI の構成素子であるトランジスタの更なる微細化に伴い表面に生成する欠陥の電気特性に対する影響が飛躍的に大きくなったことによります。プラズマを用いたプロセスでは励起されたラジカルやイオンにより表面反応は低温で進行するため、従来の熱プロセスに比べて圧倒的に低温のプロセスが実現できます。しかし、プラズマから照射される放射光 (特に紫外線) により、基板表面から数十 nm 以上の深さで欠陥が生成されます。特に形成構造がナノオーダーになりますと、構造全体に欠陥が生成されるためにデバイスとしての機能を果たすことができなくなります。我々は、実用的なプロセス技術の確立を目指して、2001 年より「中性粒子ビームの各種先端デバイスへの応用に関する検討及び技術開発の研究」に着手してまいりました。今回は Ge MOS

デバイスへの中性粒子ビーム酸化の適用と実際の電気特性の向上を実現し、次世代 Ge MOS トランジスタへの超低損傷・低温プロセスの有効性を明らかに示すことに成功いたしました。

【今後の展開】

中性粒子ビームによる加工・表面改質・材料堆積技術は、現在の半導体業界が直面している革新的ナノデバイスの開発を妨げるプロセス損傷を解決する全く新しいプロセス技術であると考えられます。また、本技術を用いた装置はプラズマプロセス^(*)として実績がありもっとも安定した装置において用いられているプラズマ源をそのまま使い、中性化のためのグラファイトグリットを付加するだけで実現できるため、今後、数十 nm 以下のナノデバイスにおける革新的なプロセスとして実用化されていくことがおおいに期待されるものです。中性粒子ビーム技術は既に均一大面積プロセスを実現できるプラズマ源を基盤に装置が実現できるため、極めて実用的であり、今後、最先端ナノデバイス製造プロセスにおいて中性粒子ビーム加工技術のみならず、中性粒子ビームを用いた表面改質・修飾技術の研究開発を進めて実用的なデバイス開発を大いに推進していく予定です。今回、超低損傷・低温中性粒子ビーム酸化プロセス技術による高品質 Al₁₀x/Ge₀x/Ge ゲートスタック構造の実現に成功し、実際の MOS 構造におけるキャパシタ特性や界面準位を確認することに成功したことで、実用化に向けて大きく前進しました。すでに、大手装置メーカーと装置化への検討も進んでおり、近い将来の実用化に向けてさらに研究を進めていきます。

【参考図】

次世代トランジスタ

- ・3次元構造トランジスタ:短チャネル効果の抑制
- ・新材料トランジスタ:微細化に依らず高性能化

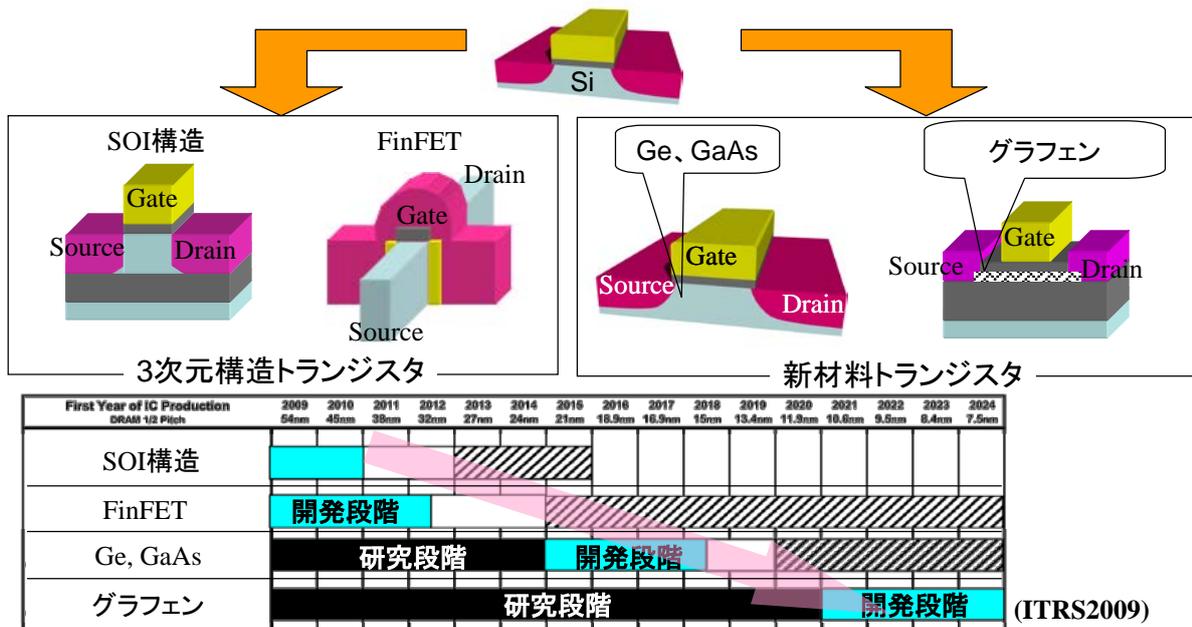


図1 先端デバイス開発ロードマップ

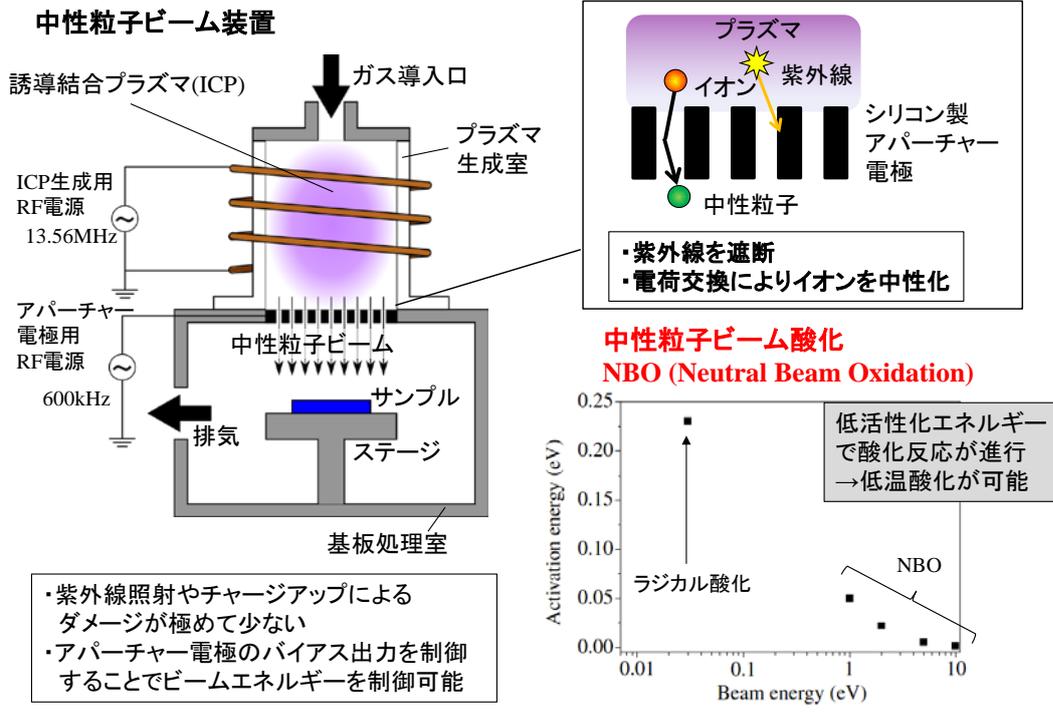


図2 中性粒子ビーム装置

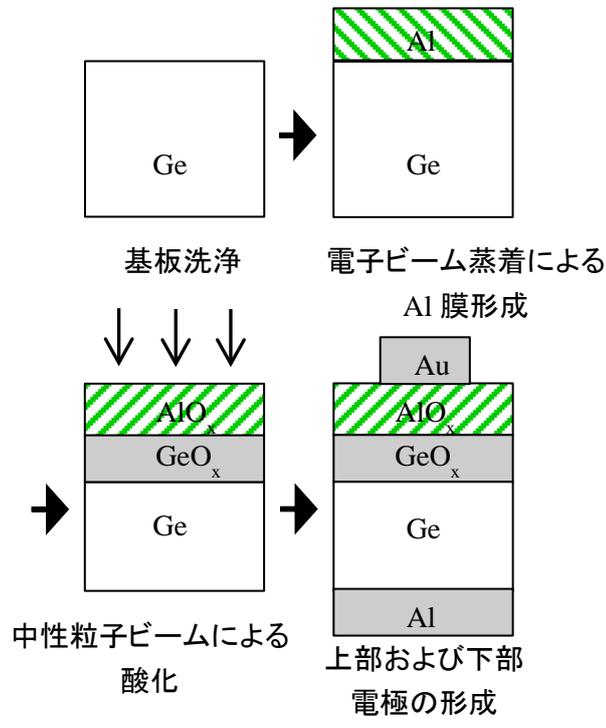


図3 酸素中性粒子ビームによる AlO_x/GeO_x 同時形成プロセス

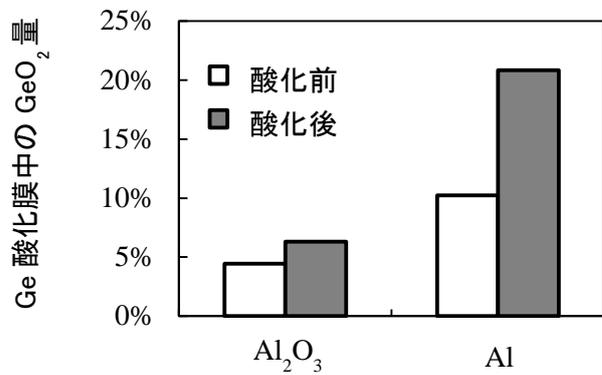


図4 Al/Ge 同時酸化による Ge 酸化膜の膜質向上

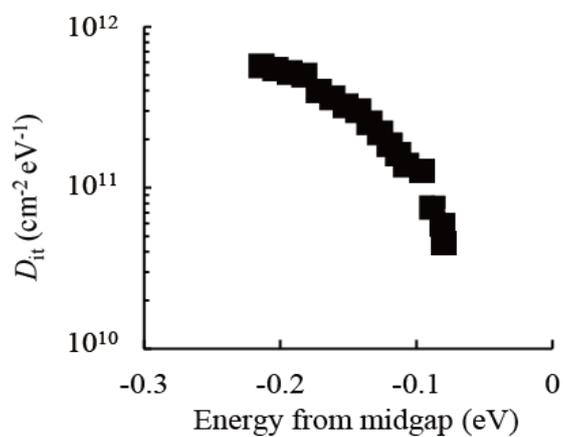


図5 Al/Ge 同時酸化で形成された Al_{10x}/Ge_{0x}/Ge 構造における界面準位

【用語解説】

(*1) 界面準位

ゲルマニウムとゲルマニウム酸化膜の境界では原子の結合手の数がうまく合わないの
で、どうしてもゲルマニウムや酸素の結合していない手ができてしまう。こういうと
ころにゲルマニウム中の電子や正孔が捕らわれやすくなる。こういう異種の物質の界面に
できて電子や正孔を捕まえるはたらきをするものを界面準位(または表面準位)と呼ぶ。

(*2) リーク電流

リーク電流とは、電子回路上で、絶縁されていて本来流れないはずの場所・経路で漏
れ出す電流のことである。

(*3) チャネル材料

半導体材料において電子や正孔が輸送される通り道のことをチャネルと呼ぶ。現在は
シリコンが主流であるがより低電圧で高移動度を実現できるチャネル材料としてゲルマ
ニウムやガリウムヒ素が検討されている。

(*4) 中性粒子ビーム

通常のパラズマプロセスでは、高速な荷電粒子との反応を用いてプロセスが行われる
ので、衝突時に生じるダメージの他、電荷の蓄積や紫外光照射によるダメージ等が避け
られないでいた。そのため電氣的に中性な粒子を用いた酸化やエッチングなどがダメー
ジを与えない究極のプロセス手法として注目されている。

パラズマ中に存在する正イオンあるいは負イオンは電界により加速された場合には原
子分子、電子、壁などとの衝突で電荷交換して中性化される。この時、運動エネルギー
は保存され、方向性をもった中性粒子ビームが生成される。

(*5) プロセスダメージ

半導体デバイス製造工程においてパラズマプロセスにより入るダメージが大きな問題
となっている。ダメージには、(1) 物理的なダメージ、(2) 電荷蓄積によるダメージ、(3)
放射光によるダメージ、の3種類がある。物理的ダメージは基板に入射するエネルギー
をもったイオンの衝撃により基板に欠陥などのダメージが入ることをいう。電荷蓄積に
よるダメージはパラズマから基板に入射する電荷(正イオン、電子)が絶縁膜上に蓄積
することで、MOS トランジスタにとって極めて重要であるゲート絶縁膜などを絶縁破壊す
ることをいう。放射光によるダメージは、パラズマから基板に入射する紫外光や X 線の
ような波長の短い放射光は基板に堆積されている絶縁膜中にホール・電子対を生成し、
絶縁性を劣化させることをいう。

(*6) パラズマプロセス

微細加工技術の一つで、パラズマにより励起された活性なイオンを、基板に垂直に入
射するように加速して照射し、エッチングを行う。微細なパターンを垂直に加工でき
ることから現在主流の加工方法であるが、イオンの照射や紫外線によるダメージが素子を
劣化させる等が問題になりつつある。

【論文情報】

尚、今回の研究成果につきましては、9月27日から30日まで札幌で開催される国際固体素子・材料コンファレンス（SSDM: International Conference on Solid State Devices and Materials）において報告を行う予定です。

論文題目：Formation of Ge Oxide Film by Neutral Beam Post Oxidation using Al Metal Film

【問い合わせ先】

<研究に関すること>

東北大学原子分子材料科学高等研究機構（AIMR）

東北大学流体科学研究所未到達エネルギー研究センターグリーンナノテクノロジー研究分野
教授 寒川誠二（サムカワ セイジ）

〒980-8577 仙台市青葉区片平2丁目1-1

TEL: 022-217-5240

FAX: 022-217-5240

E-mail: samukawa@ifs.tohoku.ac.jp

<報道担当>

東北大学原子分子材料科学高等研究機構（AIMR）

広報・アウトリーチオフィスマネジャー

清水修（シミズ オサム）

TEL: 022-217-6146

E-mail: aimr-outreach@grp.tohoku.ac.jp